

SDCONF-MAXV データシート (for ALTERA ユーザ)

(SDCONF-MAXV-001)

Rev 0.10 2013.09.16

悟空株式会社

注)データシートとして ALTERA 用 Xilinx 用がありますが、モジュール自体は共通で差異はありません。
本データシートでは、ALTERA 用 FPGA に特化して、その使い方を説明しています。

改訂履歴

日時	担当者	Rev	改訂内容概要
2013/09/16	ソン	0.10	初版(暫定)

目次

1. 機能・特徴	5
1.1. SDCONF-MAXV の機能・特徴	5
2. 形状	7
3. 電気特性	8
3.1. 絶対定格	8
3.2. 推奨動作範囲	8
3.3. 消費電流	8
3.4. 電源シーケンス	8
3.5. リセットに関して	8
4. Pin 機能表	9
4.1. SDCONF-MAXV ピン機能表	9
4.2. XMODE 詳細	11
4.3. XAREA 詳細	11
5. 接続例	13
5.1. SDCONF-MAXV 接続例	13
5.1.1. FPP/PS モード選択式	13
5.1.2. PS モード固定	15
5.2. SDCONF-MAXV Multi FPGA 接続例	17
6. タイムチャート	22
6.1. 信号出力部ブロック図	22
6.2. タイムチャート	22
7. LED	26
7.1. LED の点灯条件	26
8. “CONFIG.TXT”の準備	26
8.1. “CONFIG.TXT”とは	26
8.2. “CONFIG.TXT”サンプル	27
8.3. Commands	28
8.4. D2,D1,PO の設定について	32
8.6. RBF データの生成方法	34
9. 機能詳細	35
9.1. bit 連結による Multi FPGA Configuration 機能	35
9.2. “CONFIG.TXT”による Multi FPGA Configuration 機能	36
10. モジュールのソケットからの取り外しについて	36
10.1. モジュール裏面	36
11. 添付品	39

12.	VCCIO 電圧とシールの色.....	40
13.	発注型格.....	40
14.	制約事項.....	41
15.	アップデート機能(順次対応予定).....	42

1. 機能・特徴

1.1. SDCONF-MAXV の機能・特徴

- ・ 本モジュールは microSD カードを媒体として、Windows システムによって Card に記憶されたバイナリデータを FPGA に転送してコンフィギュレーションを行う機能を供します。
- ・ microSD カードには、最大 2GB までの FAT16 ^{注1)} でフォーマットされた Card を使用でき、容量の許す限り ^{注2)} バイナリデータを格納することができます。
- ・ microSD カードへのバイナリデータの書き込みは、Windows システムの Explorer 上で Drag & Copy するだけで簡単に行えます。JTag ケーブルを接続する煩わしさがありません。
- ・ microSD カード上に格納する“CONFIG.TXT”の名称のアスキーキャラクタで記述された制御ファイルにより、FPGA に転送するバイナリデータの選択や、コンフィギュレーションに関する信号間の遅延量など、各種パラメータを指定することができ、専用のソフトを使うことなく、使い慣れたテキストエディタで編集するだけです。
- ・ “CONFIG.TXT”の先頭で、コンフィギュレーション速度の指定コマンドを始め、複数の Altera 用の固有パラメータ値を設定することが可能です。
- ・ microSD カード上に格納されたバイナリデータは、“CONFIG.TXT”上で、バイナリデータ名と AREA[3:0] ピンによって指し示される 0 から F の 16 個の 16 進数文字と関連付けを行うことにより、AREA[3:0]ピンに接続されたロータリーSW 設定により、最大 16 個のバイナリデータを瞬時に選択し、FPGA をコンフィギュレーションすることが可能です。(例えば #3 : data3.bin で SW 設定3と data3.bin を関連付けします。)
- ・ 本機能は、例えばデバッグの場面で開発段階の複数のバージョンのバイナリデータの動作比較や、デモの場面で複数のアプリケーションを瞬時に切り替えてデモンストレーションする場面などで威力を発揮します。
- ・ microSD カードとのインタフェースは 50MHz の HighSpeed モードで転送を行います。
- ・ FPGA への転送バス幅を 1bit と 8bit から選択することが可能です。(MODE 設定に参照)
- ・ microSD カードから FPGA への Passive Serial によるコンフィギュレーション。
- ・ microSD カードから FPGA への FPP によるコンフィギュレーション。
- ・ FPGA への転送クロック DCLK は、“CONFIG.TXT”で指定することにより、下記の速度から選択可能です。
- ・ 25MHz (デフォルト), 12.5MHz, 6.25MHz, 3.125MHz
- ・ 0 から 15 回のコンフィギュレーションのリトライ回数が指定できます。
- ・ バイナリデータの先頭にプリアンプルを挿入することや、バイナリデータの最後にポストアンプルを可変長で挿入することが可能です。
- ・ nCONFIG の立ち上がりから次の立ち上がりまでの間隔や、nSTATUS の立ち上がりから DCLK の出力開始までの間隔を指定することが可能です。
- ・ AES による暗号化と Comp 機能に対応します。FPP モードでは、#P: C5=1 を設定することにより、1 バイトのデータに対し4回の DCLK を挿入するx4機能も実装されています。これにより、お客様の大切な論理データをしっかりと保護した上で、microSD カードの可搬性をしっかりとご利用いただけます。



2. 形状

SDCONF-MAXV モジュールの形状を掲載します。

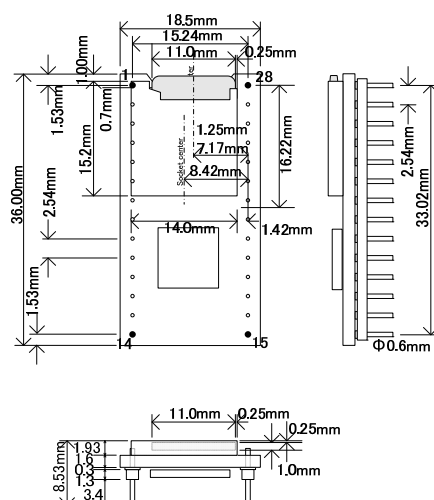


图 2.1 SDCONF-MAXV 形状图

- SDCONF-MAXV の使用 pin は、丸型 0.6mm 径の MAC8 の HQS-2-5-14P を両側に 600mil の間隔で配置しています。

(<http://www.mac8sdk.co.jp/mac8/pdf/HQS.pdf>)

ソケット例

下記はソケットの一例です。上記 HQS-2-5-14P に適合するソケットをご利用下さい。

- (1) AR 28 HZL/7-TT (ASSMANN WSW) (RS 品番 674-2498)
(<http://docs-asia.origin.electrocomponents.com/webdocs/0da4/0900766b80da42ae.pdf>)
- (2) IC26-2806-GG4 (山一電機)
(<http://www.yamaichi.co.jp/products/picsocket/ic26dip/pdf/ic26dip.pdf>)

- ・ SDCard の中心がモジュールの中心と一致します。
- ・ 各 pin には 70g の力が加わるため、挿抜には1kg 近い力をかける必要があります。
このため、取り外し時に、ドライバなどで力を加えられるプロテクト板をモジュール下前後に配置しますので、そのプロテクト板に力を加えて取り外しを行って下さい。

3. 電気特性

3.1. 絶対定格

Supply Voltage VCCINT	-0.5 V	to	2.4 V
Supply Voltage VCCIO	-0.5 V	to	4.6 V
DC Input Voltage	-0.5 V	to	4.6 V
Storage Temperature (No bias)	-65 °C	to	150 °C
Ambient Temperature (Under bias)	-65 °C	to	135 °C

3.2. 推奨動作範囲

Supply Voltage VCCINT	1.71 V	to	1.89 V
Supply Voltage VCCIO	1.71 V	to	3.6 V
3.3 V operation	3.0 V	to	3.6 V
2.5 V operation	2.375 V	to	2.625 V
1.8 V operation	1.71 V	to	1.89 V
DC Input Voltage	-0.5 V	to	4.0 V
Operation Conjunction Temperature	0 °C	to	85 °C

3.3. 消費電流

品目		Typical (実測)	Max	備考
Module 本体	VCC (3.3 V)		40 mA	
	VCCIO (3.3 V 時)		25 mA	
microSD カード	VDD (3.3 V)		100 mA	規格上の Max 値
合計			165 mA	

表 3.3 消費電流表

3.4. 電源シーケンス

- ・ VCCINT と VCCIO の間には、電源シーケンスの指定はありません。
両者がともに動作許容範囲に入ったときに動作を開始します。

3.5. リセットに関して

- ・ リセットは Low でアサートされる負論理入力です。
- ・ FPGA 内部で、電源投入から立ち上がったときに、それを検出して、FPGA 内部の論理にリセットパルスを発行する機能を搭載しているため、リセット信号がなくても動作します。
- ・ しかしながら、モジュールに対して、明示的にリセット信号を入れていただくことを推奨しており、リセット時間は、搭載している FPGA が電源安定から約 450μsec で動作可能状態となるため、電源が安定してから 500μsec 以上のリセット信号を入力することを推奨しています。

4. Pin 機能表

SDCONF-MAXV モジュールのピン機能表を掲載します。

4.1. SDCONF-MAXV ピン機能表

水平 1.27mm ハーフピッチ実装タイプのピン機能表を示します。

Pin No.	Signal name	Dir	内部 Pullup	Descriptions
1	VCC3V3	—		3.3V 電源入力
2	VCCIO	—		入出力信号の VCCIO 電源入力
3	XAREA0	I	4.7K	バイナリデータ選択用ロータリーSW(LSB)
4	XAREA1	I	4.7K	バイナリデータ選択用ロータリーSW
5	XAREA2	I	4.7K	バイナリデータ 選択用ロータリー SW
6	XAREA3	I	4.7K	バイナリデータ選択用ロータリーSW(MSB)
7	GND	—		GND
8	DONE	I	330Ω	FPGA DONE 信号
9	DCLK	O		FPGA DCLK 信号
10	nCONFIG	O	4.7K	FPGA nCONFIG 信号
11	nSTATUS	I	4.7K	FPGA nSTATUS 信号
12	XMODE0	I	4.7K	動作モード選択信号 0
13	XCS0	O		FPGA0 制御用チップセレクト信号
14	XCS1	O		FPGA1 制御用チップセレクト信号
15	XCS4	O		FPGA4 制御用チップセレクト信号
16	XCS5	O		FPGA5 制御用チップセレクト信号
17	XCS6	O		FPGA6 制御用チップセレクト信号
18	XCS7	O		FPGA7 制御用チップセレクト信号
19	XCS2	O		FPGA2 制御用チップセレクト信号
20	XCS3	O		FPGA3 制御用チップセレクト信号
21	XMODE1	I	4.7K	動作モード選択信号 1 (接続だけ)
22	D0 / SOUT0	O		FPGA 8-bit Parallel data 0 / Serial data 0
23	D1	O		FPGA 8-bit Parallel data 1
24	D2 / SOUT1	O		FPGA 8-bit Parallel data 2 / Serial data 1
25	D3	O		FPGA 8-bit Parallel data 3
26	GND	—		GND
27	D4 / SOUT2	O		FPGA 8-bit Parallel data 4 / Serial data 2
28	D5	O		FPGA 8-bit Parallel data 5
29	D6 / SOUT3	O		FPGA 8-bit Parallel data 6 / Serial data 3
30	D7	O		FPGA 8-bit Parallel data 7
31	XMODE2	I	4.7K	動作モード選択信号 2 (接続だけ)

32	XRST	I	4.7K	パワーオンリセット信号
----	------	---	------	-------------

表 4.1 SDCONF-MAXV ピン機能表

- 注1) XAREA[3:0], XMODE[2:0], DONE, nCONFIG の信号には内部に Pullup 抵抗が実装されており、外部で実装する必要はありません。
- 注2) XCS[7:0]制御する場合は、外部に終端抵抗が必要です。

4.2. XMODE 詳細

XMODE [0]	Mode 名	詳細
1	microSDCard=>FPGA シリアル転送モード	microSDCard=>FPGA コンフィグレーション PS モード*
0	microSDCard=>FPGA パラレル 8bit 転送モード	microSDCard=>FPGA コンフィグレーション FPP モード*

表 4.2 XMODE 説明表

- 注1) XMODE[0]=1 の時、“CONFIG.TXT”ファイル上での#P:SB コマンドの影響は受けません (8.3Commands 章参照)。
- 注2) XMODE[0]=0 の時、“CONFIG.TXT”ファイル上での#P:SS コマンドの影響は受けません (8.3Commands 章参照)。
- 注3) XMODE[2:1]は接続だけで、本モジュールには使用しません。

4.3. XAREA 詳細

- “CONFIG.TXT”ファイル上で microSD カード上に格納されたバイナリデータと XAREA[3:0]ピンによって指し示される 0~F の 16 個の 16 進数文字と関連付けがなされます。
- XAREA[3:0]入力は負論理で入力され、正論理に反転された AREA[3:0]信号と“CONFIG.TXT”上の 16 進数文字と比較が行われ、一致した 16 進文字と関連付けられたバイナリデータをコンフィグレーションデータとして選択します。
- 表 4.2 は負論理で入力された XAREA[3:0]の信号レベルと、それによって指示されるエリア番号 の対応表です。
- 外付けのロータリーSW としてリアルコードタイプを実装すれば、ロータリーSW の選択番号とエリア番号が一致します。
- ロータリーSW の代わりに CPU から制御することも可能です。

XAREA				詳細
3	2	1	0	
H	H	H	H	エリア 0
H	H	H	L	エリア 1
H	H	L	H	エリア 2
H	H	L	L	エリア 3
H	L	H	H	エリア 4
H	L	H	L	エリア 5
H	L	L	H	エリア 6
H	L	L	L	エリア 7
L	H	H	H	エリア 8
L	H	H	L	エリア 9
L	H	L	H	エリア A

L	H	L	L	エリア B
L	L	H	H	エリア C
L	L	H	L	エリア D
L	L	L	H	エリア E
L	L	L	L	エリア F

表 4.3 XAREA[3:0]とエリア番号表

5. 接続例

5.1. SDCONF-MAXV 接続例

5.1.1. FPP/PS モード選択式

(1) FPGA と 1 対 1 接続の場合

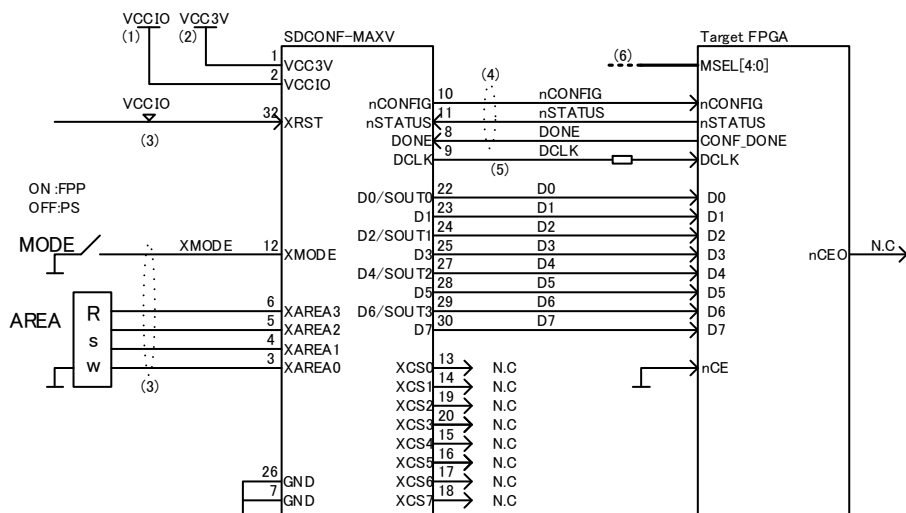


図 5.1.1.1 SDCONF-MAXV FPP / PS 選択式 1:1 接続例

- 注1) VCCIO は 3.3V~2.5V、1.8V に対応しており、3.0V の VCCIO に対応可能です。
VCCIO に 1.8V を使用する場合は、Module のデータを 1.8V 用に書き変える必要があります。
- 注2) **3.3V ± 5%(0.165V)が推奨入力電圧となります。**
- 注3) XRST,XMODE,XAREA[3:0]ピンには、内部 Pullup 抵抗(4.7KΩ)が実装されており、外付けで終端抵抗を実装する必要はありません。
- 注4) nCONFIG,nSTATUS,DONE 信号には、Module 内部に Pullup 抵抗が実装されており、外部に実装する必要はありません。
ただし、SDCONF-MAXV をソケットから取り外して運用することがある場合は、外付けに終端抵抗を取り付けて下さい。
- 注5) DCLK は最短でレイアウトするようにして下さい。また、GND でシールドして下さい。
FPGA の近傍に、ダンピング抵抗を挿入できるようにしておくことを推奨します。
- 注6) XMODE ピンの論理と適合した MSEL[4:0]信号の設定値を選択して下さい。

(2) XCS 選択接続の場合

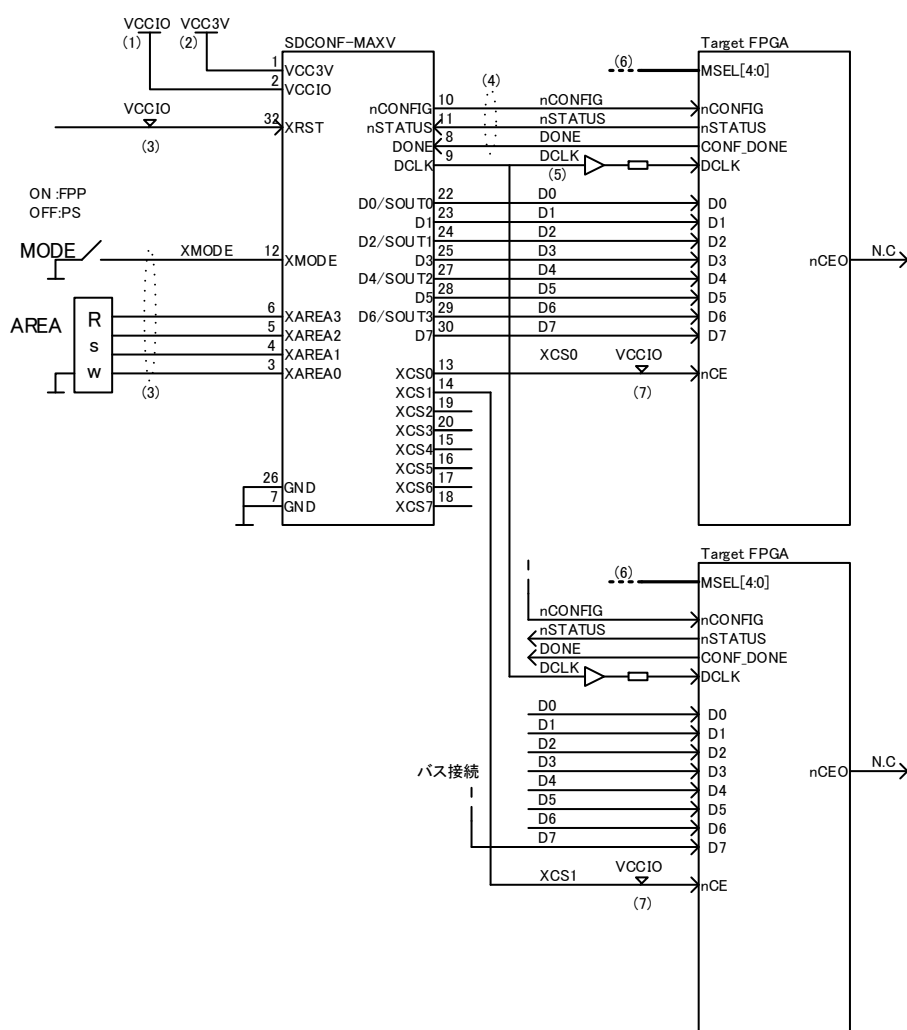


図 5.1.1.2 SDCONF-MAXV FPP / PS 選択式 1:2 接続例

- 注1) VCCIO は 3.3V~2.5V、1.8V に対応しており、3.0V の VCCIO に対応可能です。
VCCIO に 1.8V を使用する場合は、Module のデータを 1.8V 用に書き変える必要があります。
- 注2) 3.3V ± 5%(0.165V)が推奨入力電圧となります。
- 注3) XRST,XMODE,XAREA[3:0]ピンには、内部 Pullup 抵抗(4.7K Ω)が実装されており、外付けで終端抵抗を実装する必要はありません。
- 注4) nCONFIG,nSTATUS,DONE 信号には、Module 内部に Pullup 抵抗が実装されており、外部に実装する必要はありません。
ただし、SDCONF-MAXV をソケットから取り外して運用することがある場合は、外付けに終端抵抗を取り付けて下さい。
- 注5) DCLK は最短でレイアウトするようにして下さい。また、GND でシールドして下さい。
FPGA の近傍に、ダンピング抵抗を挿入できるようにしておくことを推奨します。
- 注6) XMODE ピンの論理と適合した MSEL[4:0]信号の設定値を選択して下さい。
- 注7) XCS0,XCS1 等を + 連結で制御する若番の FPGA から順番に接続します。
それぞれの制御線には、FPGA の近傍に VCCIO で PullUp 抵抗(4.7K Ω)を接続して下さい。

5.1.2. PS モード固定

(1) FPGA と 1 対 1 接続の場合

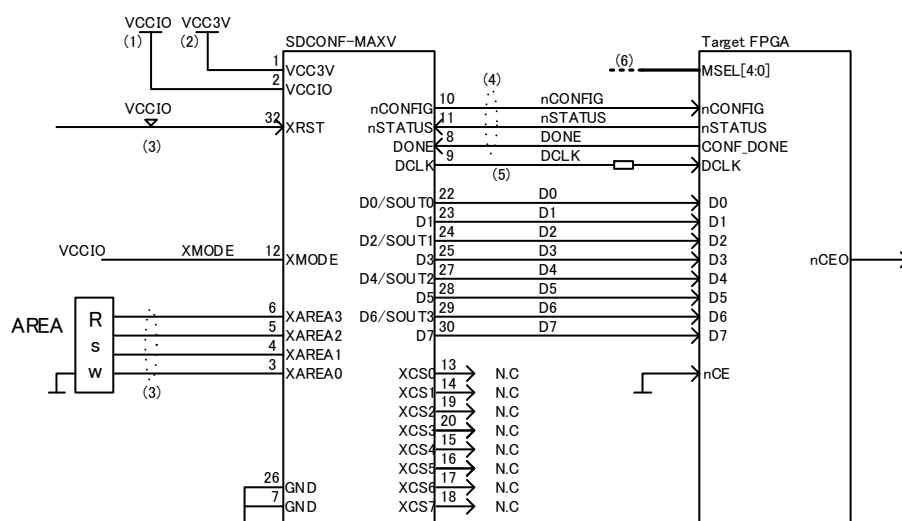


図 5.1.2.1 SDCONF-MAXV PS 固定 1:1 接続例

- 注1) VCCIO は 3.3V~2.5V、1.8V に対応しており、3.0V の VCCIO に対応可能です。
VCCIO に 1.8V を使用する場合は、Module のデータを 1.8V 用に変える必要があります。
- 注2) 3.3V ± 5%(0.165V)が推奨入力電圧となります。
- 注3) XRST,XMODE,XAREA[3:0]ピンには、内部 Pullup 抵抗(4.7KΩ)が実装されており、外付けで終端抵抗を実装する必要はありません。
- 注4) nCONFIG,nSTATUS,DONE 信号には、Module 内部に Pullup 抵抗が実装されており、外部に実装する必要はありません。
ただし、SDCONF-MAXV をソケットから取り外して運用することがある場合は、外付けに終端抵抗を取り付けて下さい。
- 注5) DCLK は最短でレイアウトするようにして下さい。また、GND でシールドして下さい。
FPGA の近傍に、ダンピング抵抗を挿入できるようにしておくことを推奨します。
- 注6) XMODE ピンの論理と適合した MSEL[4:0]信号の設定値を選択して下さい。

(2) XCS 選択接続の場合

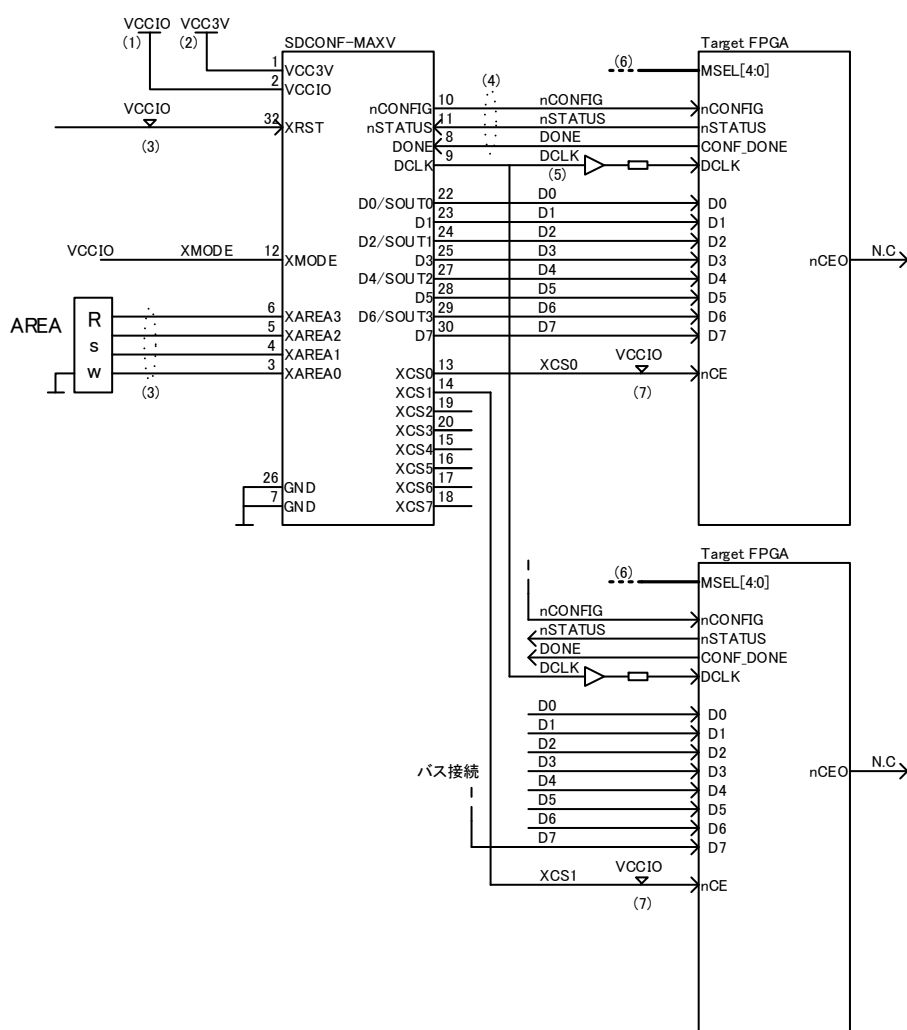


図 5.1.2.2 SDCONF-MAXV PS 固定 1:2 接続例

- 注1) VCCIO は 3.3V~2.5V、1.8V に対応しており、3.0V の VCCIO に対応可能です。
VCCIO に 1.8V を使用する場合は、Module のデータを 1.8V 用に書き変える必要があります。
- 注2) 3.3V ± 5%(0.165V)が推奨入力電圧となります。
- 注3) XRST,XMODE,XAREA[3:0]ピンには、内部 Pullup 抵抗(4.7K Ω)が実装されており、外付けで終端抵抗を実装する必要はありません。
- 注4) nCONFIG,nSTATUS,DONE 信号には、Module 内部に Pullup 抵抗が実装されており、外部に実装する必要はありません。
ただし、SDCONF-MAXV をソケットから取り外して運用することがある場合は、外付けに終端抵抗を取り付けて下さい。
- 注5) DCLK は最短でレイアウトするようにして下さい。また、GND でシールドして下さい。
FPGA の近傍に、ダンピング抵抗を挿入できるようにしておくことを推奨します。
- 注6) XMODE ピンの論理と適合した MSEL[4:0]信号の設定値を選択して下さい。
- 注7) XCS0,XCS1 を + 連結で制御する若番の FPGA から順番に接続します。
それぞれの制御線には、FPGA の近傍に VCCIO で PullUp 抵抗(4.7K Ω)を接続して下さい。

5.2. SDCONF-MAXV Multi FPGA 接続例

(1) 8 分割時

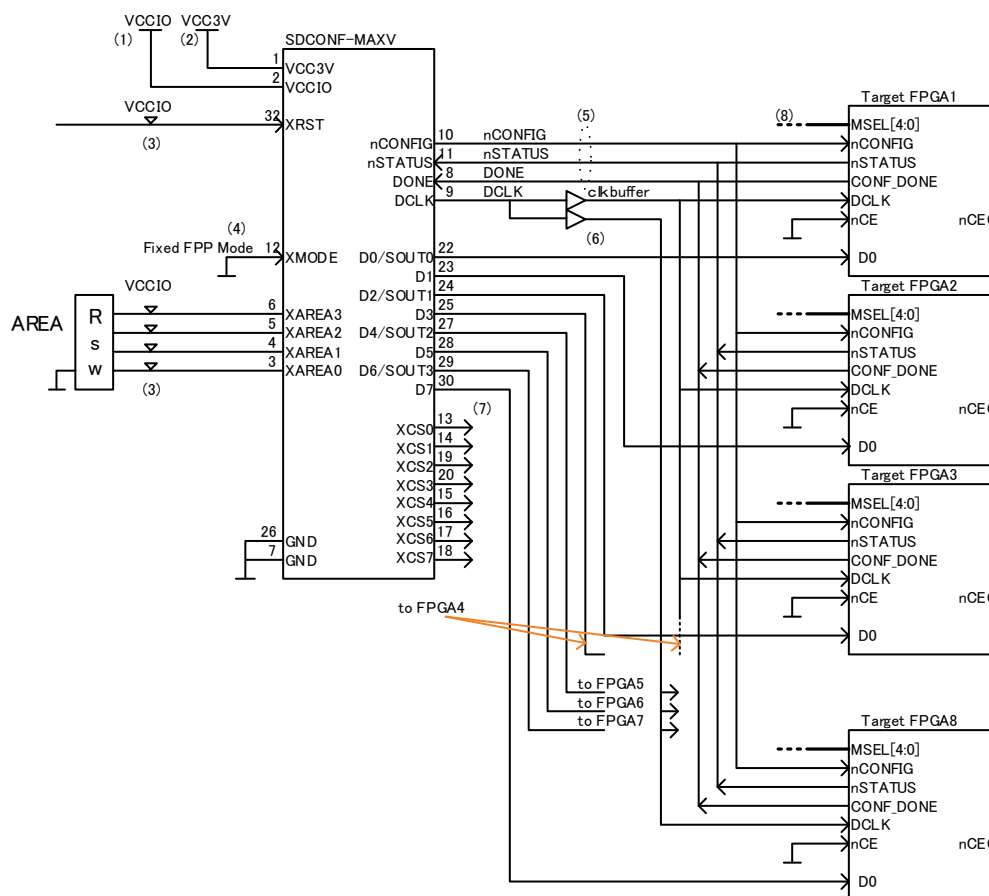


図 5.4.1 Multi FPGA x8 接続例

- 注1) VCCIO は 3.3V~2.5V、1.8V に対応しており、3.0V の VCCIO に対応可能です。
VCCIO に 1.8V を使用する場合は、Module のデータを 1.8V 用に変える必要があります。
- 注2) 3.3V ± 5%(0.165V)が推奨入力電圧となります。
- 注3) Xrst,XMODE,XAREA[3:0]ピンには、内部 Pullup 抵抗(4.7K Ω)が実装されており、外付けで終端抵抗を実装する必要はありません。
- 注4) 本モードでは XMODE ピンは FPP に、MSEL は PS に設定して下さい。
- 注5) nCONFIG,nSTATUS,DONE 信号には、Module 内部に Pullup 抵抗が実装されており、外部に実装する必要はありません。
- 注6) DCLK は最短でレイアウトするようにして下さい。また、GND でシールドして下さい。
FPGA4 個に対して 1 個の CLK バッファを挿入して下さい。
- 注7) FPGA の接続個数が 8 個に満たない場合、分割損が生じます。
- 注8) MSEL[3:0]の設定は動作モードに応じて選択して下さい。

(2) 4 分割時

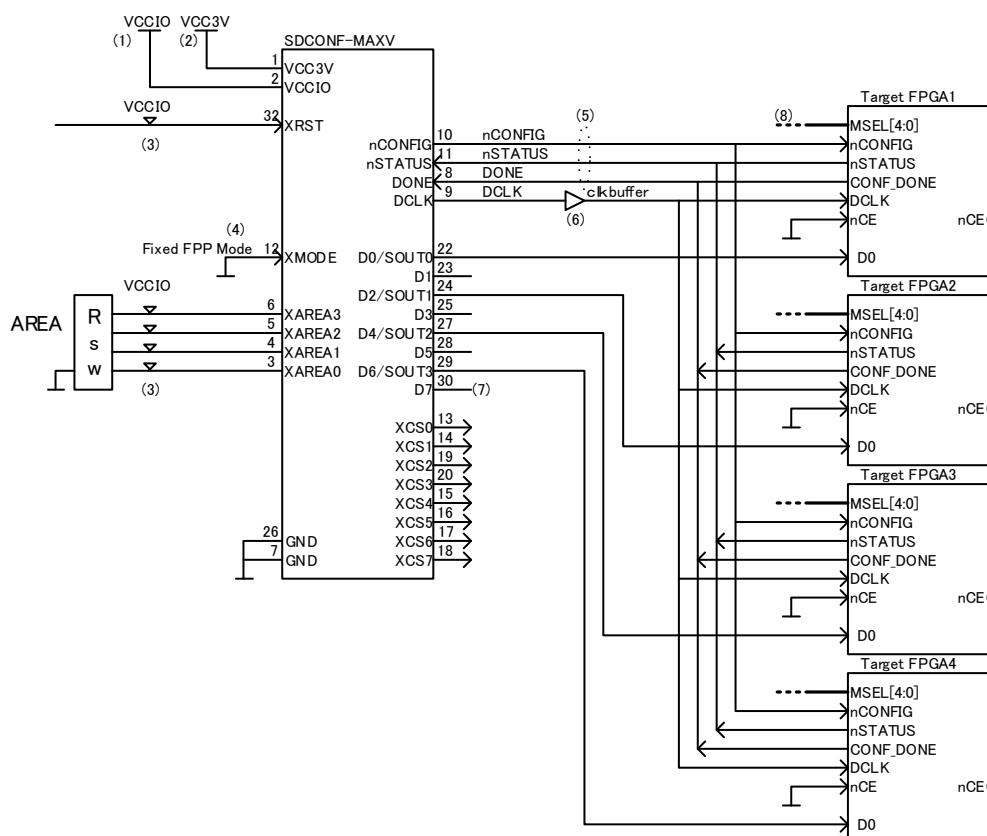


図 5.4.2 Multi FPGA x4 接続例

- 注1) VCCIO は 3.3V~2.5V、1.8V に対応しており、3.0V の VCCIO に対応可能です。
VCCIO に 1.8V を使用する場合は、Module のデータを 1.8V 用に書き変える必要があります。
- 注2) 3.3V ± 5%(0.165V)が推奨入力電圧となります。
- 注3) XRESET,XMODE,XAREA[3:0]ピンには、内部 Pullup 抵抗(4.7K Ω)が実装されており、外付けで終端抵抗を実装する必要はありません。
- 注4) 本モードでは XMODE ピンは FPP に、MSEL は PS に設定して下さい。
- 注5) nCONFIG,nSTATUS,DONE 信号には、Module 内部に Pullup 抵抗が実装されており、外部に実装する必要はありません。
- 注6) DCLK は最短でレイアウトするようにして下さい。また、GND でシールドして下さい。
FPGA4 個に対して 1 個の CLK バッファを挿入して下さい。
- 注7) MSEL[4:0]の設定は、動作モードに応じて選択して下さい。
- 注8) microSD カードの実効読出速度が 200Mbps に対して、50Mbps×2=100Mbps で、PS モードを 1 ~ 4 個において、書き込み速度を犠牲にすることなく効率的にコンフィギュレーションすることが可能です。

(3) 2 分割時

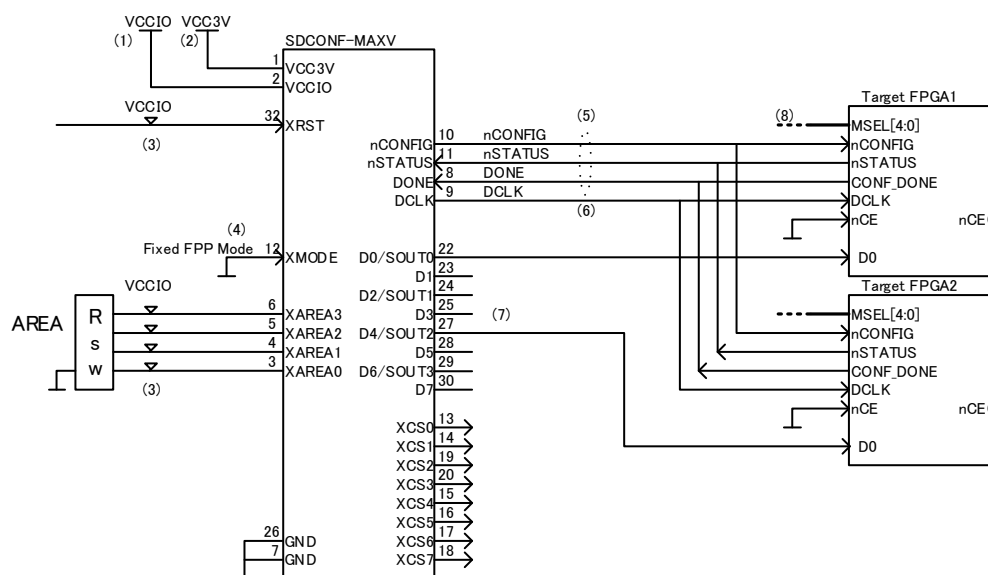


図 5.4.3 Multi FPGA x2 接続例

- 注1) VCCIO は 3.3V~2.5V、1.8V に対応しており、3.0V の VCCIO に対応可能です。
VCCIO に 1.8V を使用する場合は、Module のデータを 1.8V 用に書き変える必要があります。
- 注2) 3.3V ± 5%(0.165V)が推奨入力電圧となります。
- 注3) XRESET, XMODE, XAREA[3:0]ピンには、内部 Pullup 抵抗(4.7K Ω)が実装されており、外付けで終端抵抗を実装する必要はありません。
- 注4) 本モードでは XMODE ピンは FPP に、MSEL は PS に設定して下さい。
- 注5) nCONFIG, nSTATUS, DONE 信号には、Module 内部に Pullup 抵抗が実装されており、外部に実装する必要はありません。
- 注6) DCLK は最短でレイアウトするようにして下さい。また、GND でシールドして下さい。
FPGA4 個に対して 1 個の CLK バッファを挿入して下さい。
- 注7) MSEL[4:0]の設定は、動作モードに応じて選択して下さい。
- 注8) microSD カードの実効読出速度が 200Mbps に対して、50Mbps×2=100Mbps で、PS モードを 1~4 個において、書き込み速度を犠牲にすることなく効率的にコンフィギュレーションすることが可能です。

5.2.1. POR Delay (Fast と Standard)

FPGA には複数の電源電圧が供給されており、電源投入時、それらの電圧レベルは Operating 電圧に到達するのに時間差が生じることが考えられます。

これらの全ての電源電圧が t_{RAMP} (200us~100ms)以内に Operating 電圧に到達しない電源電圧が存在する場合、POR Delay の設定によってこれを吸収する必要があります。

FPGA は POR Delay が作動している間、nCONFIG を Low に保っています。

SDCONF-MAXV モジュールは、モジュールに入力される XRST がリリースされた後、約 1.96msec 後に nCONFIG をリリースしますが、FPGA 側が nCONFIG を Low にしている場合、これを検出して nCONFIG が FPGA からリリースされて PullUP 抵抗により High になるのを待ってからコンフィギュレーションを開始します。

“CONFIG.TXT”の#P : C1 の pump ON 機能は OFF(=0)(デフォルト)のままにしておく必要があります。

Figure 8-2. Relationship between t_{RAMP} and POR Delay

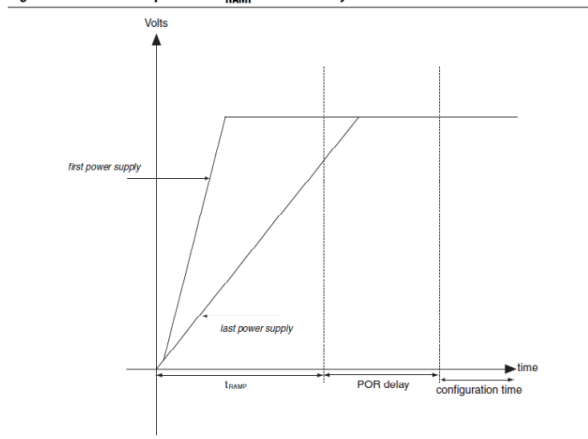


図 5.5.1 Relationship between t_{RAMP} and POR Delay

Table 9-2. Fast and Standard POR Delay Specification (Note 1)

POR Delay	Minimum	Maximum
Fast	4 ms	12 ms
Standard	100 ms	300 ms

表 5.5.1 Fast and Standard POR Delay Specification

5.2.2. Configuration Voltage

SDCONF-MAXV モジュールは VCCIO 電圧が 3.3V~2.5V、1.8V(データの書き換えが必要です。)に対応しています。

Stratix-V の 3.0V 電圧も VCCIO に 3.0V 電源電圧を印加することで動作します。

そのほか、1.5V や 1.2V についてもデータの書き換えだけで対応することが可能です。(特注扱いとなります。)

5.2.3. FPP(x8)

SDCONF-MAXV モジュールは FPP の x8 に対応しています。

5.2.4. PS

SDCONF-MAXV モジュールは PS モードに対応しています。

SDCONF-MAXV モジュールの XMODE ピンを High に設定することにより PS モードが選択されます。

Multi FPGA 接続時、各 FPGA は MSEL を PS モードに設定する必要があります。

5.2.5. AS

SDCONF-MAXV モジュールは現状 AS モードには対応しておりません。

AS モードの組み込みは、同一ハードウェアにて対応検討中で、データのアップデートによって後日組み込むことが可能です。

詳しくはご相談下さい。

5.2.6. Remote

SDCONF-MAXV モジュール接続時、MSEL を Remote に設定することはありません。

5.2.7. Security

SDCONF-MAXV モジュールは、暗号化されたバイナリデータを特別に意識せず、通常のバイナリデータとして取り扱います。

FPGA に転送された暗号化されたバイナリデータは、FPGA の不揮発性領域に予め記憶された暗号 Key で復号化され、Key が一致した場合のみ復号化が成功し、コンフィギュレーションが正常に完了します。

FPP モードで AES を使用する場合は、#P:C5=1 の DCLK を 4 回出力するモードに設定する必要があります。

PS モードではその必要はありません。

5.2.8. Decomp

SDCONF-MAXV モジュールは、AES とセットで Decomp されたバイナリデータを取り扱うことが可能です。

FPP モードで Decomp を使用する場合は、#P:C5=1 の DCLK を 4 回出力するモードに設定する必要があります。

PS モードではその必要はありません。

6. タイムチャート

6.1. 信号出力部ブロック図

SDCONF-MAXV は DCLK を FPGA コンフィギュレーションクロックとし、PROGB を FPGA の nCONFIG 信号をとして提供しています。FPGA への 8-bit バイナリデータは D[7:0]バスで転送されています。また、D[0], D[2], D[4], D[6]は FPP モードにおいて、8-bit のデータバスを 2 ビット単位でパラレルシリアル変換した SOUT0, SOUT1, SOUT2, SOUT3 となります。4 ビット単位でパラレルシリアル変換する場合、SOUT0 と SOUT2 しか有効となりません (Commands 参考)。SDCONF-MAXV の信号出力部ブロック図を図 6.1 に示します。

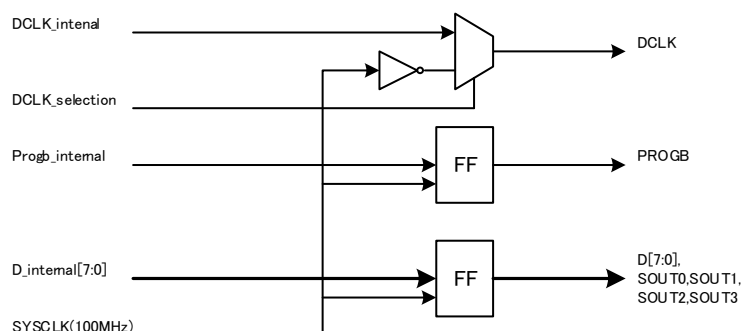


図 6.1 信号出力ブロック図

6.2. タイムチャート

コンフィギュレーションはバイナリデータの最初バイトを読み込みしてから始まります。単一 FPGA 接続と複数 FPGA 接続に対してそれぞれのコンフィギュレーションタイムチャートを図 6.2 と図 6.3 に示します。複数 FPGA 接続時、最後のファイルのバイナリデータだけにポストアンブル(PO)が挿入されます。他のファイルのバイナリデータにはミドルアンブル(PM)が挿入されます。(PO, PM は Commands 参考)

コンフィギュレーションクロック DCLK の周波数は指定したスピードと XMODE 値 (Commands 参考)により自動的に調節されます。その最大 100MHz の DCLK の相違とそれより遅い DCLK の相違を図 6.4 と図 6.5 に示します。

その上、シリアルやセキュリティのモードにおいてデータバスに関係あり DCLK の相違を図 6.6～図 6.9 に示します。

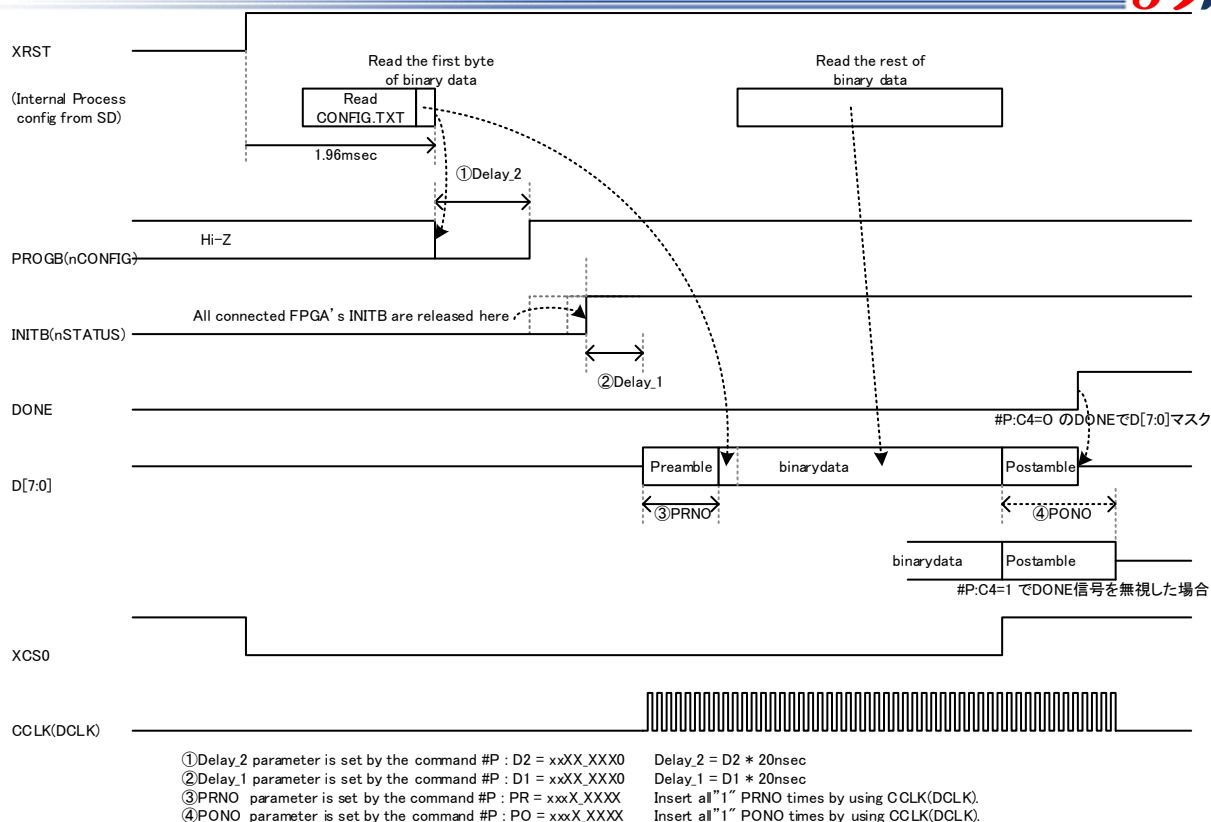


図 6.2 単一 FPGA 接続のタイムチャート

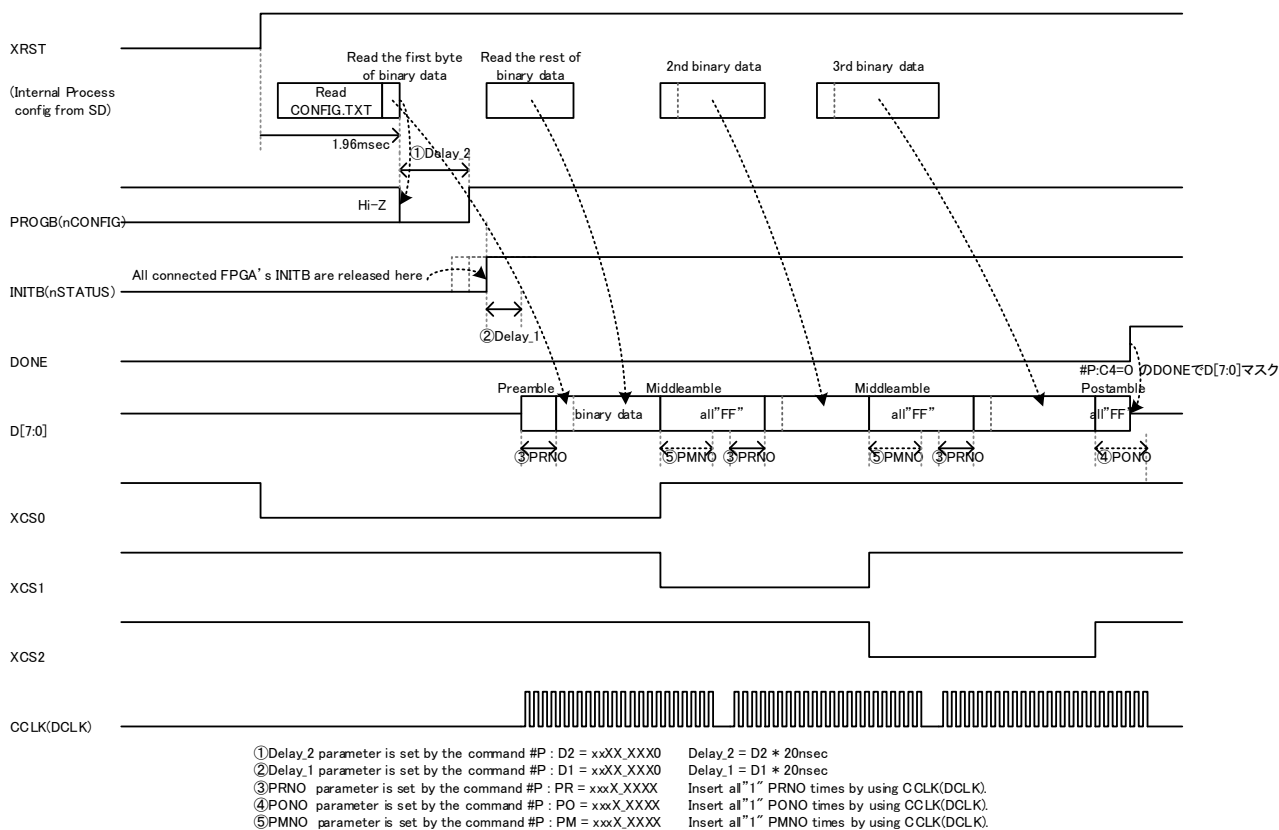


図 6.3 複数 FPGA 接続のタイムチャート

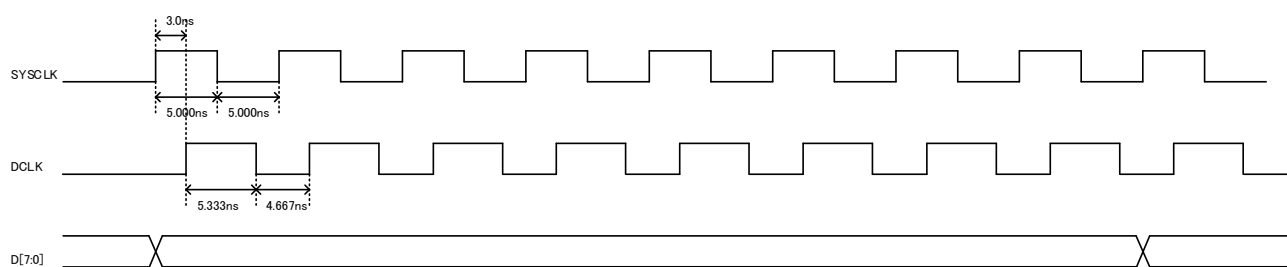


図 6.4 CCLK (DCLK)の相違： 100MHz の場合

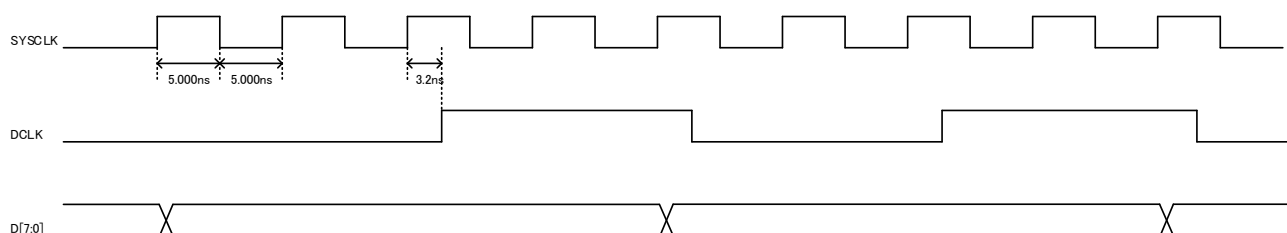


図 6.5 CCLK (DCLK)の相違： 25MHz の場合

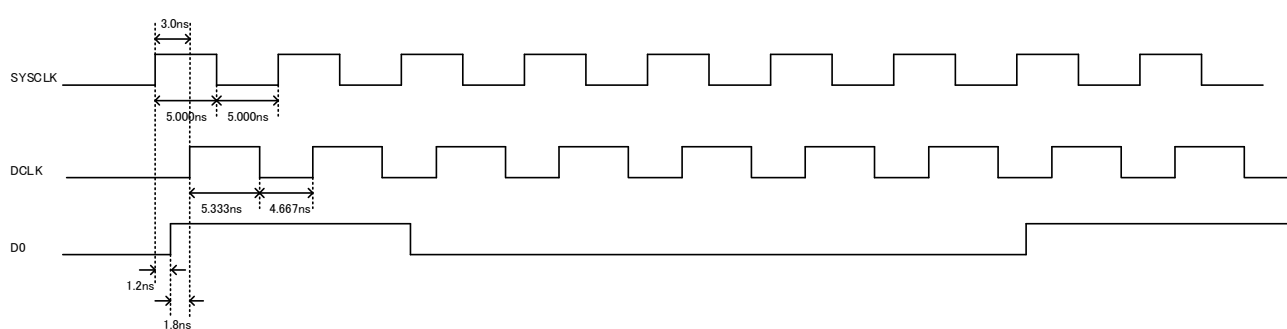


図 6.6 100MHz の CCLK (DCLK)の相違： シリアルの場合

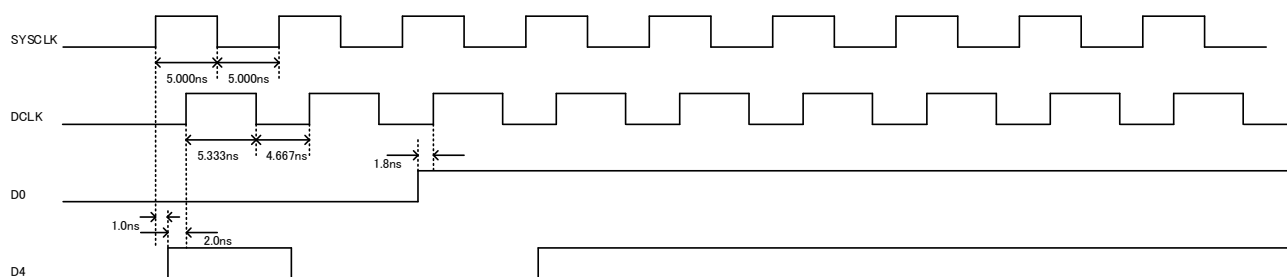


図 6.7 100MHz の CCLK (DCLK)の相違： シリアルで 4 つの区画に分けの場合

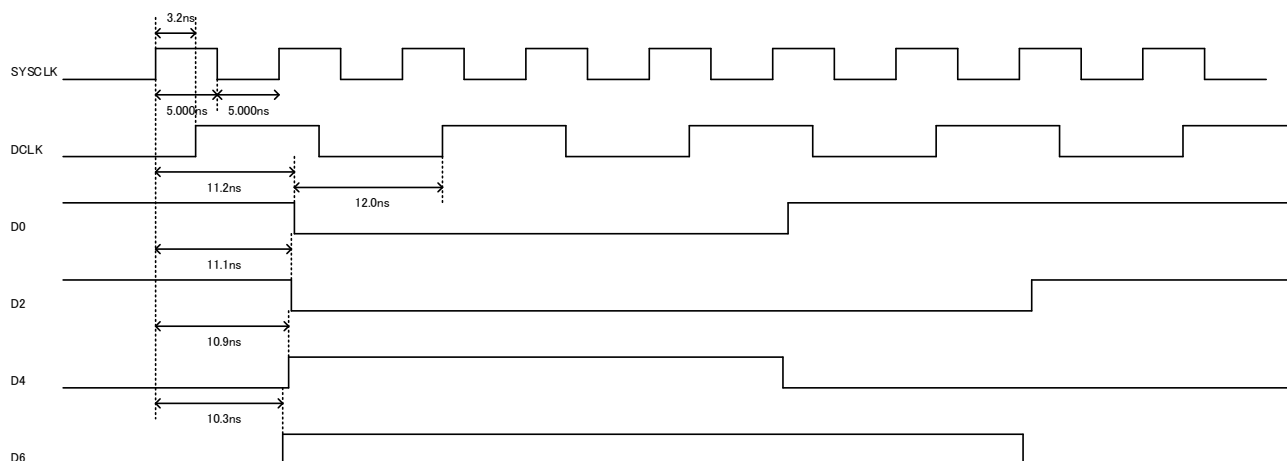


図 6.8 50MHz の CCLK (DCLK)の相違： シリアルで 2 つの区画に分けの場合

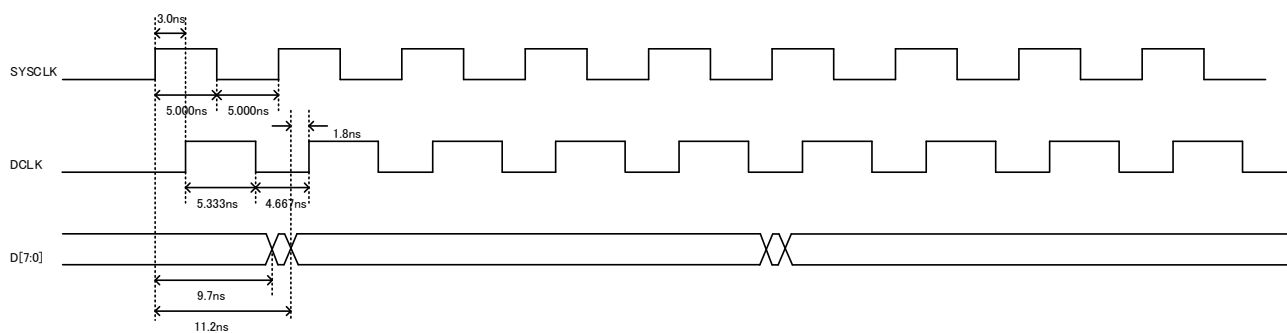


図 6.9 100MHz の CCLK (DCLK)の相違： DCLKx4 (セキュリティ)の場合

7. LED

- SDCONF-MAXV にはモジュールの状態を表示するための LED(緑)が実装されています。

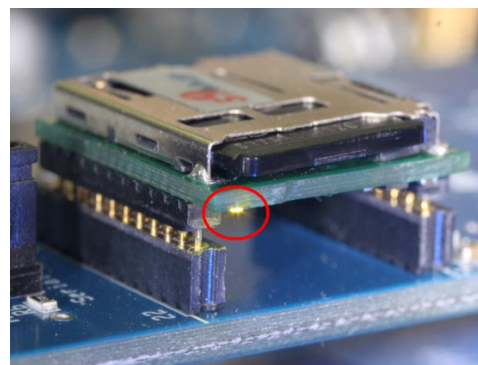


図 7.1 LED の実装位置

7.1. LED の点灯条件

- LED の点灯条件は以下の通りです。

LED 状態	条件
点灯	microSD カードよりデータを転送している間。
点滅	複数 FPGA をコンフィグする場合、microSD カードよりデータを転送している間は点灯して、その以外は消灯します。
無点灯	microSD カードが挿入されていない場合は消灯のままです。
バージョン情報表示	ありません

表 7.1 LED 点灯条件

8. “CONFIG.TXT”の準備

8.1. “CONFIG.TXT”とは

- SD カードから FPGA へ直接コンフィギュレーションを行う場合に参照されるテキストファイルです。
- ファイル名は 半角アスキーの“**CONFIG.TXT**”(小文字、大文字小文字混在も可)に固定化されており、SD カードのルートディレクトリに置く必要があります。
- “CONFIG.TXT”ファイルには、ビットファイル名や、各種パラメータを列記します。
- “CONFIG.TXT”ファイルで取り扱えるキャラクタは、**半角アスキーコードのみ**です。
- “CONFIG.TXT”ファイル内のコマンドは、大文字、小文字、両者混在で記載してもかまいません。
例えば PO(ピーオー)など、Po と記載して 0(ゼロ)との紛らわしさを避けることができます。
漢字やひらがなは使えません。全角の空白の混入には注意して下さい。
- “CONFIG.TXT”ファイルには、下記のコマンドが存在します。

8.2. “CONFIG.TXT”サンプル

- SD カードの root ディレクトリに、“CONFIG.TXT”(小文字も可)の名称のファイルを準備する必要があります。

```
// This file is config test           //single'/' indicates comment out. '/' is familiar to verilog user.
// #M : A                             //A: Altera
#S : 1                               //0:25M (def), 1:12.5M, 2:6.25M, 3: 3.125M

//Swap parameters
#P : SS = 1                          //Swap bit
//#P : SB = 0                        //Swap byte
//#P : SW = 0                        //Swap word
//Preamble/Middleamble/Postamble parameters
#P : PR = 0000_0040                  //Preamble insert Number by counting DCLK
#P : PO = 0000_8000                  //Postamble insert Number by counting DCLK
#P : PM = 0000_0010                  //Middleamble insert Number by counting DCLK
//Delay parameters
#P : D1 = 0000_0100                  //delay Number from nSTATUS to DCLK by counting 50MCLK.
#P : D2 = 0000_0100                  //delay Number for nCONFIG low pulse width by
                                     //counting 50MCLK

//Command parameters
#P : C1 = 1                          //nCONFIG,nSTATUS Pump ON
#P : C2 = 0                          //MultiFPGA 2to1 x 4
#P : C3 = 0                          //MultiFPGA 4to1 x 2
#P : C4 = 0                          //Set data bus to Hi-Z if DONE goes High
#P : C5 = 0                          //Binary data with security or decompress

//Binary data area
#0 : TESTLED0.RBF                    //rbf file
#1 : TESTLED1.POF                    //pof file
#2 : TESTLED2.RBF                    //rbf file
#3 : TESTLED3.POF                    //pof file
#4 : TESTLED4.RBF
#5 : testled5.rbf
...
#F : TESTLEDF.rbf
```

図 8.2. “CONFIG.TXT”サンプル

8.3. Commands

(a) “/” (“slash”)

- ・ コメントアウトを行います。
- ・ 行中に “/” を検出すると、“CR”までのそれ以降の文字列をコメントとして読み飛ばします。
- ・ サンプルでは、Verilog の慣例に従い、“//”で表記しています。

(b) #M : A/L/X

- ・ Maker を指定しますが、本モジュールは ALTERA のみために使用するため、このパラメータをコメントアウトしてください。

(c) #S : 0/1/2/3

- ・ FPGA 側の DCLK の速度を指定します。

0 : 25MHz (デフォルト)

1 : 12.5MHz

2 : 6.25MHz

3 : 3.125MHz

(d) #P : SS = 0/1

- ・ シリアルモード転送時(XMODE ピン = High)、D0(SOUT)ピンに最初に出されるビットの MSB / LSB の出力順番の選択を行います。
0 : MSB ファースト
1 : LSB ファースト(デフォルト)
- ・ 本コマンドはシリアル転送のときのみ有効で、次の #P:SB コマンドの影響は受けません。

(e) #P : SB = 0/1

- ・ バイト単位内で、MSB と LSB を入れ替えます。
本モジュールでは、通常、SD カード上のバイナリデータのバイト単位の MSB が D7 ピンに、LSB が D0 ピンに出力されます。
本パラメータを ON にすると、バイト内で MSB と LSB がスワップされます。
0 : Byte Swap 無し (デフォルト)
1 : Byte Swap 有り
- ・ 本コマンドはパラレル転送のときのみ有効で、前記の #P:SS コマンドには影響を与えません。

(f) #P : SW = 0/1

- ・ 本モジュールでは、16bit、32bit のバス幅指定ができないため、指定しても機能しません。

(g) #P : PR = xxxX_XXXX

- ・ バイナリデータを FPGA に送信する前に、プリアンブルとして Data Bus を All“1”にした状態で、指定回数の DCLK を出力します。
- ・ 指定は 16 進数で行い、8 桁全てを指定する必要があります。

下位 20 ビットの可変で 0000_0000 から 000F_FFFF まで指定できます。

- ・ 16 進数間にアンダーバー“_”を任意に入れることが可能です。
- ・ 0000_0000 を指定すると、プリアンブルは出力されません。
- ・ 指定がない場合のデフォルトは 0000_0000 です。
- ・ Altera の RBF ファイルの先頭にある 32 個の FF についてはデータと認識して出力されますので、本パラメータの指定の有無に係わらず出力されます。

(h) #P : PM = xxxX_XXXX

- ・ バイナリデータ(最後のファイルを除く)を FPGA に送信した後に、ミドルアンプルとして Data Bus を All“1”にした状態で、指定回数の DCLK を出力します。
- ・ 指定は 16 進数で行い、8 桁全てを指定する必要があります。
- ・ 下位 20 ビットの可変で 0000_0000 から 000F_FFFF まで指定できます。
- ・ 16 進数間にアンダーバー“_”を任意に入れることが可能です。
- ・ 0000_0000 を指定すると、ミドルアンプルは出力されません。
- ・ 000F_FFFF を指定すると、DCLK は停止せずに出力されつづけます。
- ・ 何も指定しないと、デフォルトとして 0000_0000 が設定されます。

(i) #P : PO = xxxX_XXXX

- ・ 最後のファイルのバイナリデータを FPGA に送信した後に、ポストアンプルとして Data Bus を All“1”にした状態で、指定回数の DCLK を出力します。
- ・ 指定は 16 進数で行い、8 桁全てを指定する必要があります。
- ・ 下位 20 ビットの可変で 0000_0000 から 000F_FFFF まで指定できます。
- ・ 16 進数間にアンダーバー“_”を任意に入れることが可能です。
- ・ 0000_0000 を指定すると、ポストアンプルは出力されません。
- ・ 000F_FFFF を指定すると、DCLK は停止せずに出力されつづけます。
- ・ 何も指定しないと、デフォルトとして 0000_2400 が設定されます。
- ・ DCLK は DONE 信号がアクティブになっても出力され続けます。
- ・ Data バスはポストアンプル送信途中でも、DONE 信号がアクティブになると High-Z に開放されます。(DONE 信号を無視するためには、#p:C4=1 を設定して下さい。)

(j) #P : D1 = xxXX_XXX0

- ・ nSTATUS がリリースされて、送信の許可をモジュールに出すまでのディレイ間隔を指定します。
- ・ 指定は 16 進数で行い、8 桁全てを指定する必要があります。
- ・ 第 4～23 ビットの可変で 0000_0000 から 00FF_FFF0 まで指定できます。
- ・ 16 進数間にアンダーバー“_”を任意に入れることが可能です。
- ・ 設定数値 x 20nsec がディレイ時間となります。

Pump_On コマンド(#P:C1 コマンド) が OFF のときの緩やかな立ち上がりを考慮して、デフォルト値として 0000_2000 が設定されており、約 164usec 後に DCLK がアクティブになります。

(k) #P : D2 = xxXX_XXX0

- ・ 最初のバイナリデータが着いてから nCONFIG がリリースされるまでのディレイ間隔を指定します
- ・ 指定は 16 進数で行い、8 桁全てを指定する必要があります。
- ・ 第 4～23 ビットの可変で 0000_0000 から 00FF_FFF0 まで指定できます。
- ・ 16 進数間にアンダーバー“_”を任意に入れることが可能です。
- ・ 設定数値 x 20nsec がディレイ時間となります。
- ・ デフォルトは 0000_5000 が設定され、約 410usec のディレイ間隔が得られます。

(I) #P : C0/1/2/3/4/5/6/7/8/9 = 0/1

- ・ #P : C0/6/7/8/9 は未定義です。
 - ・ 1 から 5 のコントロールビットが定義されています。
- ① #P : C1 = 0/1 nCONFIG、Pump ON 指定
- ・ 本パラメータに“1”を設定すると、nCONFIG 信号を Low からリリースするときに、50MHz 1 クロック分(20nsec)High レベルを出力し、その後 High-Z となり、信号の立ち上がりを鋭角にすることが可能です。
- デフォルト (“0”)

② #P : C2 = 0/1

- ・ 本パラメータに“1”を設定すると、FPP モードにおいて、8bit のデータバスを 4 つの区画に分け、それぞれの区画の 2 ビット単位でパラレルシリアル変換して出力されます。

D[1:0] => D[0]

D[3:2] => D[2]

D[5:4] => D[4]

D[7:6] => D[6]

- ・ ビットの出現順番は、#P : SS コマンドに準拠します。(“1”の時 LSB first)
- ・ #P : SS = 1 コマンドと設定が必要です。デフォルトは“0”です。

③ #P : C3 = 0/1

- ・ 本パラメータに“1”を設定すると、FPP モードにおいて、8bit のデータバスを 2 つの区画に分け、それぞれの区画の 4 ビット単位でパラレルシリアル変換して出力されます。

D[3:0] => D[0]

D[7:4] => D[4]

- ・ ビットの出現順番は、#P : SS コマンドに準拠します。(“1”の時 LSB first)
- ・ #P : SS = 1 コマンドと設定が必要です。デフォルトは“0”です。

④ #P : C4 = 0/1

- ・ 本パラメータに“1”を設定すると、Done 信号を無視します。
- ・ DONE 信号を SDCONF-MAXV に接続しない回路構成系において、DONE 信号端子をオープンのままにしておくと、内部 PullUp によって常に High と見えるため、コンフィグレーションが完了したと判断し、Data バスを High-Z にして、ユーザーに開放します。
- ・ 本設定は、DONE 信号を無視し、FPGA にデータを出し続けるためのパラメータです。

⑤ #P : C5 = 0/1

- ・ FPP で AES や Comp 機能を有効にすると、1 つの 8 ビットデータに対して 4 回 DCLK を

変化させてあげる必要があります。

- ・ 本パラメータに"1"を設定することで x4 モードになります。
- ・ 本パラメータを設定した状態で、XMODE ピンを PS モードに設定すると、DCLK は x1 モード動作に自動遷移します。

FPPx4 と PS モードが選択できるシステムでは、常に"1"に設定してあれば、モジュールが自動で切り替えてくれます。

- ・ ~~尚、PS モードで AES や Comp 機能を有効にする場合、DCLK は x1 で動作するため、本パラメータは"0"に設定する必要があります。(2013.07.02)~~

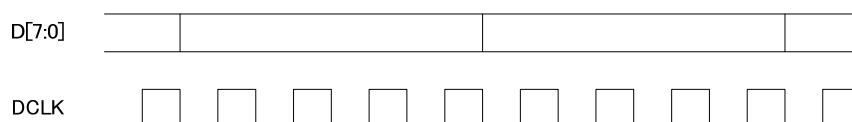


図 8.3 FPPx4 の出力波形

(m) #R : 0～F

- ・ 未定義です。

(n) bitfile-name

- ・ 上記の(a)または(b)に属さないキャラクタで始まる行は、Line-Processor はバイナリデータ名として扱います。(注: Line-Processor はキャラクタを解析するシーケンサ論理)
- ・ バイナリデータは、“`.rbf`”と EPCS 選択された“`.pof`”を指定することができます。
- ・ バイナリデータ名は 8 文字以下である必要があります。(拡張 FAT16 未対応)
- ・ バイナリデータ名の前後にスペースや TAB を含むことができます。(ファイル名の間にスペースや TAB を挿入することはできません。)
- ・ バイナリデータ名を“+”で連結することにより 8 個の FPGA まで CS 制御による Multi-FPGA コンフィギュレーションを行うことが可能です。bitfile1.bit + bitfile2.bit + bitfile3.bit + bitfile4.bit
- ・ “+”による連結の際、バイナリデータ名と“+”の間には必ず1つ以上の空白を挿入して下さい。
- ・ “+”による連結の際、途中に改行を加えないで下さい。

(o)#0～#F : bitfile name

- ・ バイナリデータ名を 0 から F の 16 個の 16 進数と関連付けを行います。
- ・ 本コマンドにより関連付けが行われた場合、AREA ロータリーSW の指定エリアと同一の番号の関連付けが存在した場合、関連付けされたバイナリデータをコンフィギュレーションの対象とします。
- ・ # の後には、0～9(30h～39h) , A～F(41h～46h) 若しくは a～f(61h～66h)を置くことができます。
- ・ “.” の後に関連付けをしたいビットファイル名を記述します。
- ・ バイナリデータは、“`.rbf`”と“`.pof`”のどちらのサフィックスも指定することができます。(rbf 推奨)
- ・ バイナリデータ名は 8 文字以下である必要があります。(拡張 FAT16 未対応)
- ・ バイナリデータ名の前後にスペースや TAB を含むことができます。(ファイル名の間にスペースや TAB を挿入することはできません。)
- ・ **バイナリデータ名を“+”で連結することにより外付け無しで 8 個の FPGA まで CS 制御による**

Multi-FPGA コンフィギュレーションを行うことが可能です。

#0:bitfile1.bit + bitfile2.bit+...

- ・ “+”による連結の際、バイナリデータ名と”+”の間には必ず1つ以上の空白を挿入して下さい。
- ・ “+”による連結の際、途中に改行を加えないで下さい。
- ・ 最後に改行を必ず入れること

8.4. D2,D1,PO の設定について

- ・ 前項で説明した D0,D1,PO のパラメータの具体的な設定方法について記します。
- ・ D2 パラメータは、ALTERA のパラメータの tCFG (nCONFIG low pulse width) に該当します。
- ・ D1 パラメータは、ALTERA のパラメータの tST2CK (nSTATUS high to first rising edge of DCLK) に該当します。
- ・ PO パラメータは、ALTERA パラメータの USRCLK 数とみなしてよいでしょう。
- ・ 表 8.1 は、代表的な FPGA のシリーズのこれらのパラメータを列記した表です。
- ・ FPGA のシリーズにより、これらの値は異なり、共通に使える値はありません。このため、これらのパラメータを理解し、条件に合致した値を選択する必要があります。
- ・ 一覧にない FPGA をコンフィギュレーションする場合は、これらの値を調査し、最適な値を設定して下さい。

FPGA Series	tCFG	tST2CK	CLKUSR	D2	D1	PO
Cyclone-III	$\geq 500\text{nS}$	$\geq 2\mu\text{S}$	3,185/ 3,192(LS)	0000_8000 =655.36uS	0000_4000 =327.68uS	0000_1000 =4096clk
Cyclone-IV	$\geq 500\text{nS}$	$\geq 2\mu\text{S}$	3,192	0000_2500 =189.44uS	0000_0500 =25.6uS	0000_1000 =4096clk
Cyclone-V	$\geq 2\mu\text{S}$	$\geq 2\mu\text{S}$	17,408	0000_0100 =5.12uS	0000_0100 =5.12uS	0000_4500 =17664clk
Stratix-III	$\geq 2\mu\text{S}$	$\geq 2\mu\text{S}$	4,436	0000_0100 =5.12uS	0000_0100 =5.12uS	0000_1200 =4608clk
Stratix-IV	$\geq 2\mu\text{S}$	$\geq 2\mu\text{S}$	8,532	0000_0100 =5.12uS	0000_0100 =5.12uS	0000_2400 =9216clk
Stratix-V	$\geq 2\mu\text{S}$	$\geq 2\mu\text{S}$	17,408	0000_0100 =5.12uS	0000_0100 =5.12uS	0000_4500 =17664clk
Arria-GX	$\geq 2\mu\text{S}$	$\geq 2\mu\text{S}$	299	0000_0100 =5.12uS	0000_0100 =5.12uS	0000_0100 =256clk
Arria-II	$\geq 2\mu\text{S}$	$\geq 2\mu\text{S}$	8,532	0000_0100 =5.12uS	0000_0100 =5.12uS	0000_2400 =9216clk
Arria-V	$\geq 2\mu\text{S}$	$\geq 2\mu\text{S}$	17,408	0000_0100 =5.12uS	0000_0100 =5.12uS	0000_4500 =17664clk

表 8.1

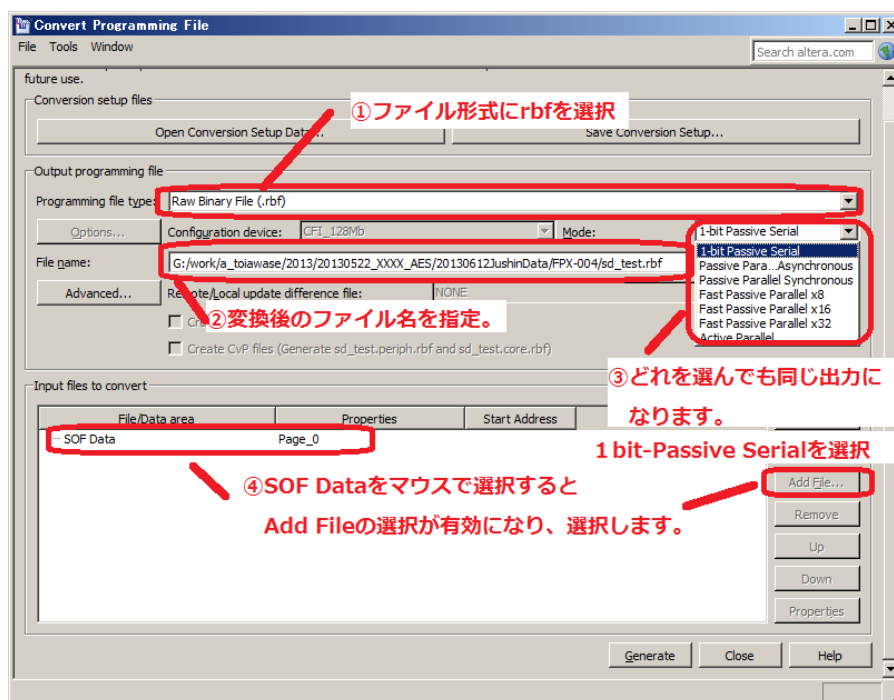
8.5. コマンドパラメータ デフォルト値

- “CONFIG.TXT”設定されるパラメータのデフォルト値を示します。

Maker Code	Maker Name	デフォルト設定値	備考
-	Altera	#P : SS = 0 (MSB ファースト) #P : SB = 0 (Swap 無し) #S : 0 (25MHz Passive モード) #P : PR = 0000_0000 (プリアンプルなし) #P : PM = 0000_0000 (ミドルアンプルなし) #P : PO = 0000_2400 (ポストアンプル 9216DCLK 挿入) #P : D2 = 0000_5000 (nCONFIG low pulse width : 410usec) #P : D1 = 0000_2000 (nSTATUS ~ DCLK : 164usec) #P : C1 = 0 (Pump ON 無効) #P : C2 ,C3= 0 (Bus 分割 Multi FPGA mode 無効) #P : C4 = 0 (DONE で D[7:0]マスク) #P : C5 = 0 (×4モード 無効)	

8.6. RBF データの生成方法

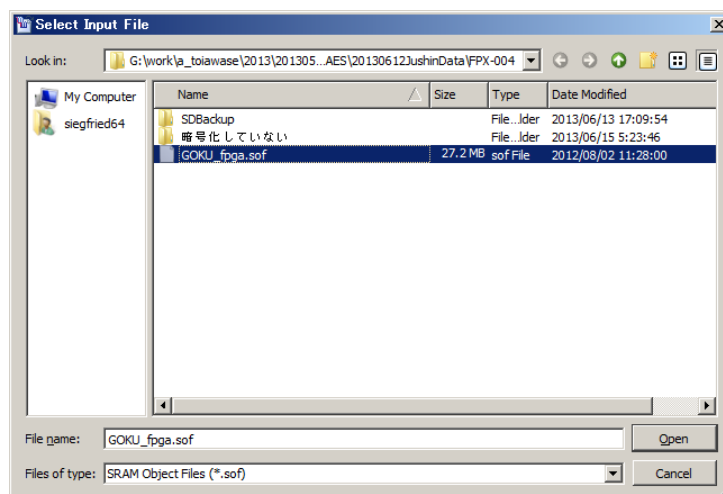
Quartus-II・のの左上の PullDown メニューから、
File > Converter Program Files を選択します。
下記の Window が現れます。



ファイル形式に rbf を選択します。

変換後のファイル名を指定します。8 文字以内で指定すると、そのまま SDCard にコピーが可能です。

モードを指定します。どれを選択しても rbf は同じ出力を吐き出しますので
とりあえず、1-bit Passive Serial を選択します。



ファイル名を選択し、Open をクリックします。

Generate をクリックすると rbf ファイルが出力されます。

生成された rbf を SDCard のルートディレクトリにコピーします。

9. 機能詳細

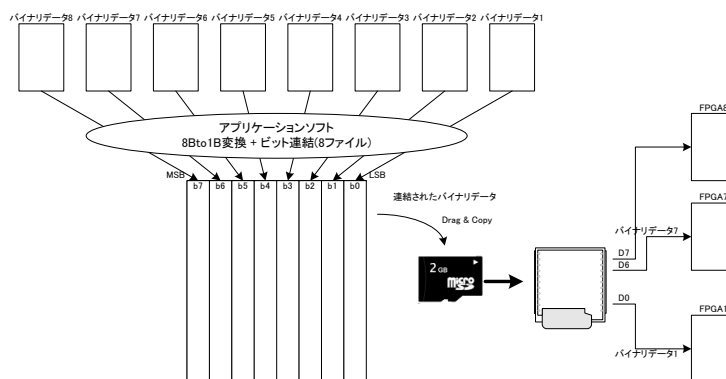
9.1. bit 連結による Multi FPGA Configuration 機能

- ・ 添付されるアプリケーションソフトと、コマンドパラメータの設定により、シリアル転送により同時に複数の FPGA をコンフィギュレーションすることが可能です。
- ・ Daisy-Chain 方式による複数の FPGA をコンフィギュレーションする方法とは別の方式になります。
- ・ SD カードの実効読出速度が 200Mbps に対して、50Mbps のシリアル通信を 1 本だけ行うことは非効率で、本方式によりリソースを分割することにより、4 本まではシリアル通信の実効速度を下げることなく転送することが可能になります。

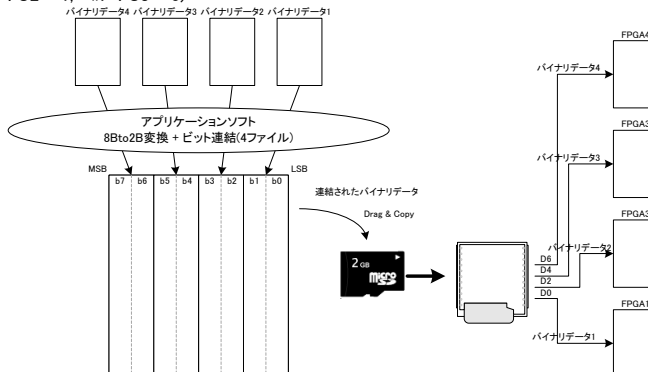
分割個数が 8 個の場合で、FPGA 割り当てに空きがある場合や、それぞれの FPGA のサイズが異なる場合、Daisy-Chain 方式より効率が悪くなる場合があります。

bit連結によるMulti FPGA Configurationの動作原理

(1) 8分割時(#P : C2 = 0, #P : C3 = 0)



(2) 4分割時(#P : C2 = 1, #P : C3 = 0)



(3) 2分割時(#P : C2 = 0, #P : C3 = 1)

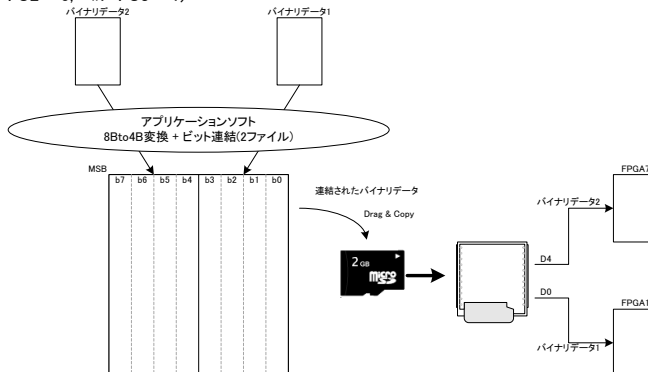


図 9.2. bit 連結による Multi FPGA Configuration の動作原理図

9.2. “CONFIG.TXT”による Multi FPGA Configuration 機能

- “CONFIG.TXT”ファイル上で単独バイナリデータを指定する代わりにバイナリデータを順次”+”により連結指定することにより、モジュールは最初のバイナリデータの転送を CS0 をアサートして開始し、転送が終了するとネゲートし、順次 CS 番号をインクリメントしながら該当のバイナリデータを転送することが可能です。

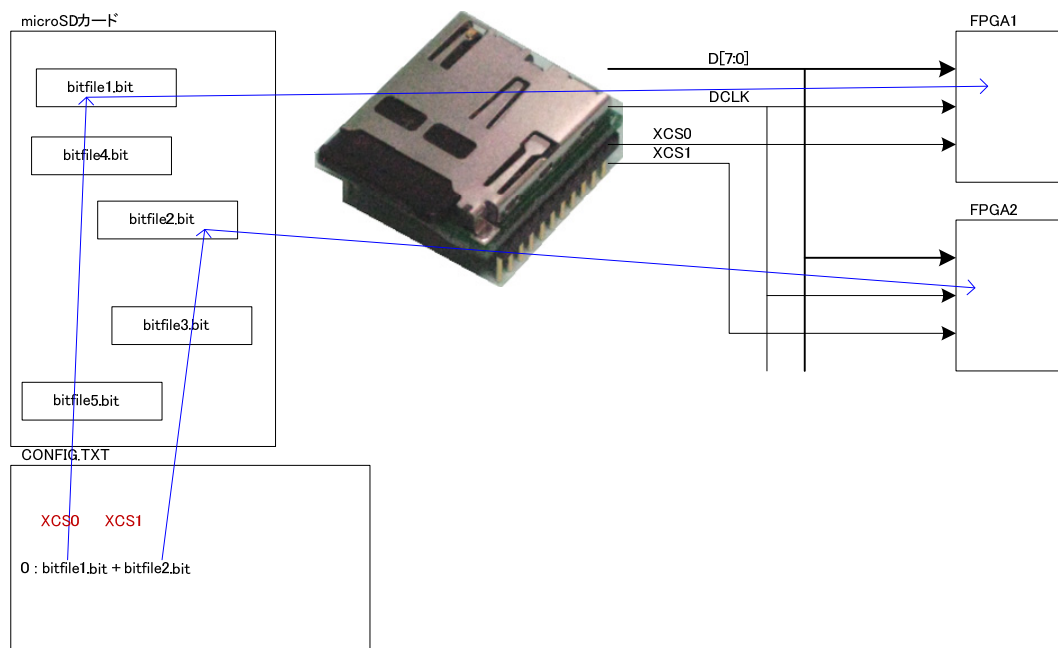


図 9.3 “CONFIG.TXT”による Multi FPGA Configuration の動作原理図

10. モジュールのソケットからの取り外しについて

- uSDCONF1A はモジュール構成となっているため、ターゲット基板に実装する際にソケット実装することで、システムの評価が終了したあとに取り外して他のシステムに使いまわすことが可能です。
- しかしながら、図 11.1. のように、モジュールの裏側は高密度にチップ部品を実装しており、取扱いに注意して取り外さないと不用意に部品を押しつぶしたり、パターンを剥離してしまいかねません。
- 本章では、モジュールを末永くお使いいただくために、モジュールの裏面の実装の状況を把握していただき、取り外しの注意点等をご紹介します。

10.1. モジュール裏面

- “59kk”のシールの下に制御用のチップが実装されています。
その両側の赤枠で囲った部分には、チップ抵抗やチップコンデンサ、ロジックチップが密集して実装されています。

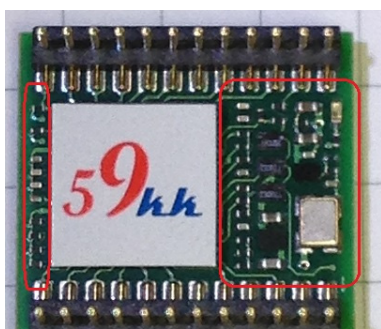


図 11.1. uSDCONF1A Bottom View

10.2. モジュールの取り外し方

- ・ ドライバ等でモジュールをソケットから抜き取る場合、図 11.1 の部品配置を常にイメージして、赤枠部分に力がかからないよう十分に注意して下さい。
- ・ “59kk”のシールの貼られた制御チップの高さは 1.3mm あり、他の部品より背高です。
ドライバ等で引き抜かれる場合は、こちらのチップに垂直に持ち上げる方向に力がかかるように、ゆっくりと、そして四隅が均等に持ち上がるように少しずつ操作を繰り返して下さい。
- ・ 一気に持ち上げると、四隅のうちの一か所だけが持ち上がってしまってピンが曲がる原因になります。
- ・ ドライバ等で取り外す場合、図 11.2 のようにモジュール下への差し込みが十分でない場合、図 11.1 の赤枠の部分に作用点が働いてしまうとチップ部品を破損してしまいます。
また、下の基板に部品が配置されている場合、下の基板の部品を破損してしまう恐れがあります。
- ・ 図 11.3 のように、ピンセットをモジュールの下を通し、両側から少しずつ持ち上げるとスムーズに取り外せます。

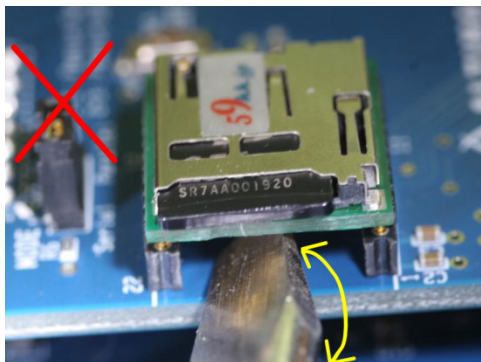


図 11.2 取り外しの悪い例

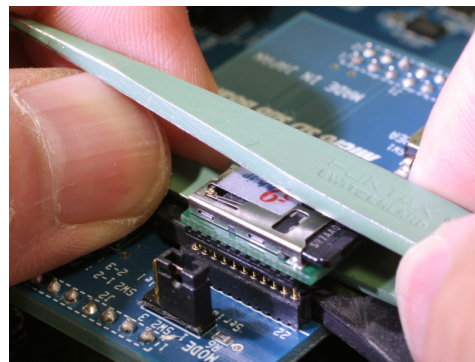


図 11.3 ピンセットを使った例

- ・ 図 11.4 は D.I.Y で使用する“目地用コーキングヘラ”です。
- ・ 図 11.5 はヘラをモジュール下に滑り込ませた写真です。
ソケットの台座部分に滑り込んでいるのが判ります。
この状態で両側から両手で少しずつ持ち上げると部品に接触することなく取り外しが可能です。
- ・ こちらのヘラは、Amazon やコーナン PRO などでお買い求めいただけます。
下記品名で検索をかけると Amazon やコーナン PRO が上位にヒットします。
尚、モジュールご注文の際に弊社で調達することも可能です。ご入り用の際は弊社までお問い合わせください。

品名：目地用コーキングヘラ曲り
 発売元：株式会社ハンディ・クラウン
 商品コード：309018 0000
 注文型番：4905533-152782



図 11.4 目地用コーキングヘラ

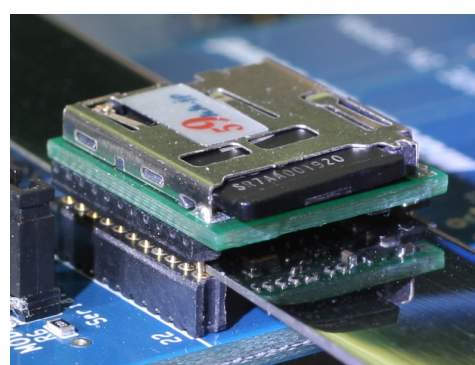


図 11.5 ヘラ使用例

11. 添付品

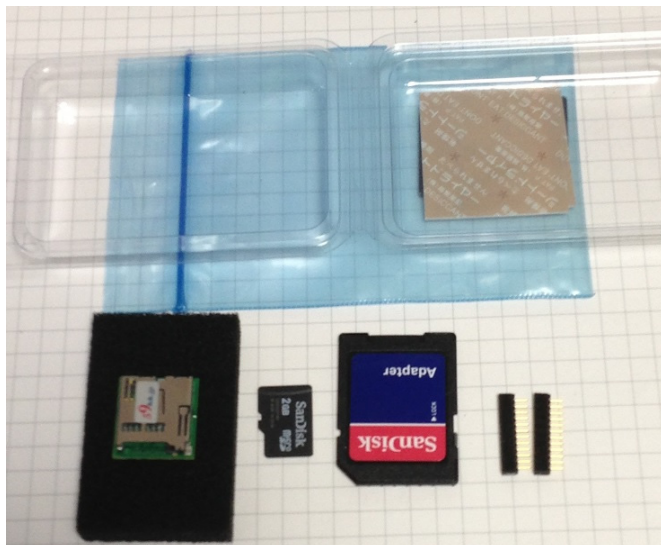


図 12.1



図 12.2

- ・ 図 12.1 は製品として出荷される構成要素です。
 - uSDCONF1A 本体
 - 2 Gbyte microSDCard (メーカーはそのときの入手状況によって異なる場合があります。)
 - SDCard 中の readme ディレクトリ内に、下記のデータが書き込まれています。
 - (ア) Datasheet
 - (イ) CONFIG.TXT サンプル(ALTERA 用)
 - SDCard アダプタ
 - 静電マット
 - 乾燥剤 + 静電袋 + プリスターケース
- ・ 図 12.2 はケースに梱包された状態です。
 - ケースのサイズは、突端部分を含めて 50mm × 85mm × 20mm です。
- ・ 数量が多く、即実装される場合には、梱包しないで出荷も可能です。

12. VCCIO 電圧とシールの色

- ・ uSDCONF2A の VCCIO 電圧を識別できるよう、microSD ソケット表面に丸いシールが張られています。(表 13.1 参照)
- ・ 3.3V と 2.5V のモジュール内部の設定が共通のため、3.3V/2.5V を青色シール 1 枚で代用する場合があります。

VCCIO	インターフェース	シール
3.3V	LVC MOS3.3V	青色
2.5V	LVC MOS2.5V	緑色
1.8V	LVC MOS1.8V	黄色

表 13.1

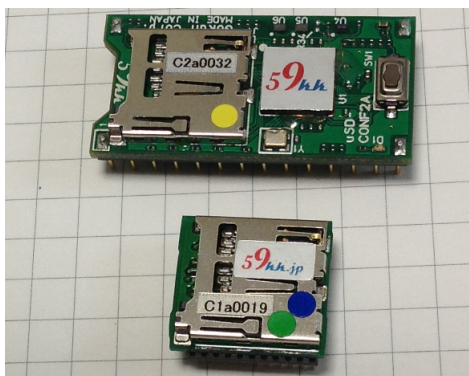


図 13.1 シール添付例

13. 発注型格

- ・ 発注時、下記の型格でご注文下さい。
- ・ 数量が多い場合などで、即実装される場合は、静電マット平面梱包が便利です。

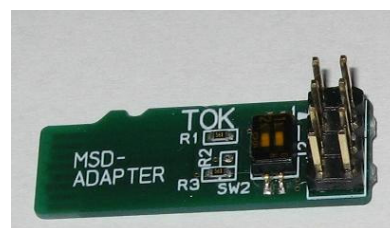
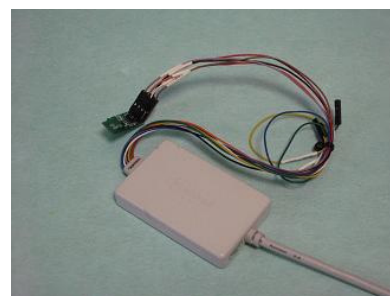
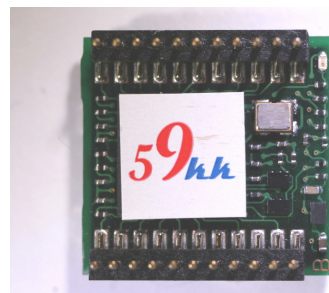
VCCIO 電圧	梱包形態	発注型格
3.3V/2.5V	ピリスターケース単体梱包	uSDCONF2A-001-33V
	静電マット平面梱包	uSDCONF2A-001-33VN
1.8V	ピリスターケース単体梱包	uSDCONF2A-001-18V
	静電マット平面梱包	uSDCONF2A-001-18VN

表 14.1

14. 制約事項

- ① 使用する microSD カードは 2G バイト以下の FAT16 でフォーマットされたものをご利用下さい。
FAT32 でフォーマットされている 2G バイトを超える SDHC 品には対応していません。
2G バイト以下の microSD カードでも、FAT32 で再フォーマットされたものは動作しません。
再フォーマットを行う場合は FAT16(Microsoft Windows のボリュームのプロパティのファイルシステムでは FAT と表示されます)を選択して下さい。
- ② ビットファイル名は英数字の 8 文字以下にして下さい。
拡張 FAT16 には対応していません。
大文字小文字どちらも使用できますが、識別は行いません。
“_”(アンダーバー)、“-”(ハイフン) も文字として使用できます。
尚、8 文字以上のファイルを一旦 microSD カードにコピーして、rename によりファイル名を 8 文字以下に修正させた場合、修正後も依然 8 文字以上のファイルとして取り扱われてしまい、先頭の 7 文字しかファイル名の識別要素として機能致しませんので、パソコンでファイル名を修正後、コピーを行って下さい。
- ③ “CONFIG.TXT”ファイルやバイナリデータの microSD カードへのコピーは、Windows システムより行って下さい。
Linux や Unix システム上で microSD カードにコピーすると、正しく動作しません。
(Linux や Unix 上で生成されたバイナリデータを、Windows システムを介してコピーする分には問題ありません。)
- ④ bit 連結による Multi FPGA Configuration 機能はインプリメントされていますが、バイナリデータを連結するためのアプリケーションソフトを準備中です。

15. アップデート機能(順次対応予定)

**お問い合わせ等連絡先**

悟空株式会社

担当：大庭（オオバ）

〒 222-0033

横浜市港北区新横浜 1-19-3 アドホックビル 4F-E

FreeCall：0800-7775559（平日 9:00～18:00）

電話：045-590-6227 Fax：050-3156-1404

Email：info01@59kk.jp URL：<https://www.59kk.jp>

以上