

uSD-CONF2A 仕様書

(for Altera ユーザ)

(USDCNF-MD2A-001A)

(USDCNF-MD2A-002A)

Rev 0.30 2013.09.26 (ROM Ver.1.800 対応)

Rev 0.20 2013.08.30

Rev 0.10 2013.07.05

 悟空株式会社

改訂履歴

日時	担当者	Rev	改訂内容概要
2013/07/05	大庭	0.10	新規作成
2013.08.30	大庭	0.20	P28. 6.2 タイムチャート差し替え P33 8.3Commands 速見表 D2 追加修正。 P37 (I)#P : D2 = xxxx xxxx 追加修正
2013.09.25	大庭	0.30	P11 4.2 uSDCONF2A ピン機能表 nSTATUS Dir O から I へ変更。 P29～32 タイムチャート全面変更。 P37 8.3 Commands 速見表 D0 削除、PM,C5,C6,C7 追加。 P40 PM 追加。 P41 D0 削除。 P43 ⑥#P : C5 追加。 P44 ⑧#P : C7 追加。 P47 8.5 D1,D2,PO の設定について 修正。 P48 表 8.1 修正。 P49～51 8.6 コマンドパラメータデフォルト値修正。

目次

1. 機能・特徴	5
2. 形状	8
3. 電気特性	9
3.1. 絶対定格	9
3.2. 推奨動作範囲	9
3.3. 消費電流	9
3.4. 電源シーケンス	9
3.5. リセットに関して	9
4. Pin 機能表	10
4.1. uSD-CONFIG2A ピン配置図(Top View)	10
4.2. USDCNF-MD3-001A ピン機能表	11
4.3. XMODE 詳細	12
4.4. XAREA 詳細	13
5. 接続例	14
5.1. uSDCONF2A 接続例	14
5.1.1. Slave Serial/SelectMap8 接続(1 : 1 接続)	14
5.2. MSEL について	21
5.3. MSEL 表	23
6. タイムチャート	28
6.1. 信号出力部ブロック図	28
6.2. タイムチャート	29
(4) LED	33
7.1. LED の点灯条件	33
7.2. バージョン情報表示機能	34
(5) “CONFIG.TXT”の準備	35
・ “CONFIG.TXT”とは	35
8.2. “CONFIG.TXT” サンプル	36
8.3. Commands 速見表	37
8.4. Commands 詳細	38
8.5. D1,D2,PO の設定について	47
8.6. コマンドパラメータ デフォルト値	49
8.7. RBF データの生成方法	52
9. 機能詳細	53
9.1. ワードアライナ機能	53
9.2. bit 連結による Multi FPGA Configuration 機能	54

9.3.	“CONFIG.TXT”による Multi FPGA Configuration 機能	55
9.4.	SDCard の活線挿抜について.....	56
9.5.	SDCard の活線挿抜対策	57
10.	モジュールのソケットからの取り外しについて.....	58
10.1.	モジュール裏面	58
11.	添付品	60
12.	VCCIO 電圧とシールの色	61
13.	発注型格	61
14.	制約事項	62
15.	アップデート機能(順次対応予定)	63

1. 機能・特徴

- ・ 本モジュールは、microSD カードと 2 個の NandFlash を搭載し、Windows システムによって microSD カードに記憶されたバイナリデータを直接 FPGA に転送してコンフィギュレーションを行う機能、及び、microSD カード上のバイナリデータを一旦 NandFlash に転写し、NandFlash からバイナリデータを FPGA に転送してコンフィギュレーションを行う機能を有します。
- ・ 本モジュールは 4Gbit 16bit 幅 NandFlash を 2 個実装し、1G バイトの NandFlash 空間に 32bit 幅でアクセスします。
- ・ 本モジュールは、NandFlash の 1G バイトの空間を簡易的な FAT で管理し、出荷前の Bad Block や、運用中に発生した ECC エラーを含む Block を隔離します。
- ・ NandFlash の 1G バイトの空間のうち、880M バイトを 16 個の 55M バイトのエリアに分割し、AREA[3:0]ピンによりエリア番号を指定し、残りの空間で、ECC エラー検出後の再フォーマットで不足分を補います。
- ・ microSD カードには、最大 2GB までの FAT16 でフォーマットされた Card を使用します。
(FAT32 でフォーマットされた SD カードや、2GByte を超える SDHC には現状対応していません。)
- ・ バイナリデータや制御ファイルの"CONFIG.TXT"は、microSD カードのルートディレクトリに書き込む必要があります。このため、最大で書き込めるファイルの数は 512 個に制限されます。
この個数の範囲内であれば、microSD カードの容量を超えない範囲で、容量の許す限りバイナリデータを格納することができます。
- ・ microSD カードからのバイナリデータの読み出しは 50MHz の HighSpeed モードで転送が行なわれ、200Mbps の転送速度を有します。
- ・ microSD カードの電源の供給を制御します。これにより、microSD カードが INACT 状態に陥った場合でも、システムの電源を落とすことなく microSD カードの電源を ON/OFF し、INACT 状態から復旧することが可能です。
- ・ 本モジュールは、FAT16 を認識するため、microSD カードへのバイナリデータの書き込みは、Windows システムの Explorer 上で Drag & Copy するだけで簡単に行えます。専用のソフトを起動したり、JTag ケーブルを接続する煩わしさがなく、パソコンの基本操作だけで、誰にでも扱うことができます。
- ・ microSD カード上に格納する"CONFIG.TXT"の名称のアスキーキャラクタで記述された制御ファイルにより、FPGA に転送するバイナリデータの選択や、コンフィギュレーションに関する各種パラメータを指定します。
- ・ microSD カード上に格納されたバイナリデータは、"CONFIG.TXT"上で、バイナリデータ名と AREA[3:0]ピンによって指し示される 0~F の 16 個の 16 進数文字と関連付けを行うことにより、AREA[3:0]ピンに接続されたロータリーSW 設定により、最大 16 個のバイナリデータを瞬時に選択し、FPGA を直接コンフィギュレーションすることが可能です。
また、NandFlash への転写モードが選択されている場合、AREA[3:0]ピンと"CONFIG.TXT"により選択されたバイナリデータを、同じく AREA[3:0]ピンで指定された NandFlash の分割されたエリアに対して、各種パラメータとともに転写します。
- ・ NandFlash への転写モード時、分割エリアサイズを超えるバイナリデータに対しては、エリアを跨いだ書き込みが行われます。
大規模 FPGA や、DaisyChain によるコンフィギュレーションを行う場合で、かつエリアサイズを超えたバイナリデータを取り扱う場合、エリアを跨ぐことを考慮に入れて書き込みエリア番号の選択や、イレーズを行う必要があります。

エリアを跨いだ書き込みを行う場合、ひとつのバイナリデータが占有するエリア数に応じて、使用できる分割数が変わります。

- NandFlash から FPGA へのコンフィギュレーションが選択された場合、NandFlash からの読み出しデータに対して ECC 機能によりエラービットの訂正が行われます。
- NandFlash からのコンフィギュレーション終了後、ECC エラーを検出したセクタを退避させます。(目標機能)
- MODE[3:0]ピンにより NandFlash から FPGA へのコンフィギュレーションモードが選択された場合、NandFlash の 32bit バス幅の恩恵より、FPGA への高速コンフィギュレーションが可能になります。
NandFlash からの読み出しは、50MHz 2 クロックで 1word 読み出すことができるため、
 $50\text{MHz}/2\text{clk} \times 32\text{bit} = \text{約 } 800\text{Mbps}$ のデータ転送速度となります。(オーバーヘッドがあるため、この数値より少し落ちる値になります。)
- FPGA への転送バス幅は、MODE[3:0]ピンの設定により 1bit(Slave Serial モード)と 8bit(SelectMAP モード)から選択することが可能です。(MODE ピン参照)
- FPGA への転送クロック DCLK は、“CONFIG.TXT”で指定することにより、下記の速度から選択可能です。
50MHz(デフォルト),25MHz, 12.5MHz, 8.33MHz, 6.25MHz,5MHz, 3.125MHz,1.56MHz, 0.78MHz, 0.39MHz
- “CONFIG.TXT”の先頭で、メーカー指定コマンドを入力すると、そのメーカーに固有のパラメータ値をデフォルトとして設定することが可能です。
- ワードアライナ機能(#P:C0=1)を“CONFIG.TXT”上で有効にすることにより、被転送ファイルの先頭にある管理情報を読み飛ばし、データバイトが FFh が連続する領域まで読み飛ばして、最初の FFh から転送を開始することが可能です。現状、RBF の使用を推奨しているため、本パラメータは"0"を設定して下さい。
- 0 から 15 回のコンフィギュレーションのリトライ回数が指定できます。
- バイナリデータの先頭にプリアンプルを挿入することや、バイナリデータの最後にポストアンプルを可変長で挿入することが可能です。
- nCONFIG の立ち上がりから nSTATUS の立ち上がりまでの間隔や、nSTATUS の立ち上がりから DCLK の出力開始までの間隔を指定することが可能です。
- AES による暗号化と Comp 機能に対応します。FPP モードでは、#P:C5=1 を設定することにより、1バイトのデータに対し4回の DCLK を挿入するx4機能も実装されています。これにより、お客様の大切な論理データをしっかりと保護した上で、microSD カードの可搬性をしっかりとご利用いただけます。
- 複数の FPGA をコンフィギュレーションする方法を 3 通りから選択することが可能です。
 - ① 従来の CSI/CSO のデジチェーンによる Multi-FPGA コンフィギュレーション
iMPACT によるファイルの連結が必要です。(Slave Serial のみ)
 - ② bit 連結による Multi-FPGA コンフィギュレーション
バイト単位にビット多重されたバイナリデータを最大8個まで Slave Serial 接続するモードです。
(バイト多重するハードウェアは組み込まれていますが、ソフトを準備していません。
③の機能で、専用のソフトウェアを使わずに簡単に Multi-FPGA のコンフィギュレーションが可能
なためです。)
 - ③ “CONFIG.TXT”上のファイルの連結指定による Multi-FPGA コンフィギュレーション
“CONFIG.TXT”上で、0:data1.bin + data2.bin + のように記述することにより、モジュールがこれを解釈し、コンフィギュレーション時にモジュールが各 FPGA の CS 信号を制御することにより順次コンフィギュレーションするモードです。

連結のための専用のソフトウェアが必要ありません。

NandFlash への転写時は、連結されたファイルと閾値情報が Nandflash に書き込まれます。

外付け回路なしで、最大4個までの FPGA を制御することが可能です。

また、外付け回路を追加することにより、最大8個までの FPGA を制御可能になります。

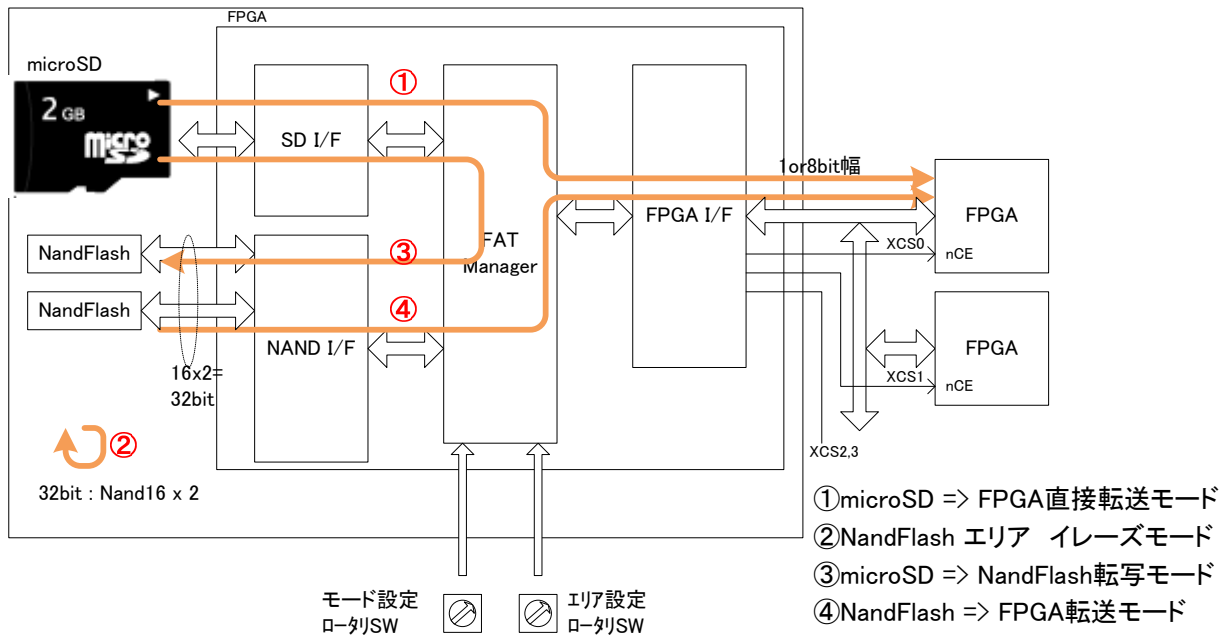


図 1.1 uSD-CONF2A ブロックイメージ図

2. 形状

uSD-CONF2A モジュールの形状を掲載します。

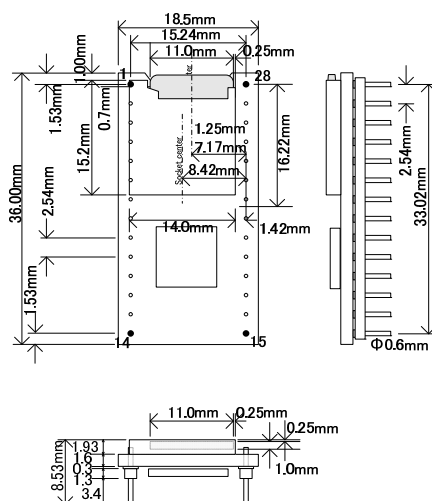


図 2.1 uSD-CONF2A 形状図

- ・ uSD-CONF2A の使用 pin は、丸型 0.6mm 径の MAC8 の HQS-2-5-14P を両側に 600mil の間隔で配置しています。 (<http://www.mac8sdk.co.jp/mac8/pdf/HQS.pdf>)

ソケット例

下記はソケットの一例です。上記 HQS-2-5-14P に適合するソケットをご利用下さい。
多くのソケットが、0.512mm のインチ径までが多いのでご注意ください。

- (1) AR 28 HZL/7-TT (ASSMANN WSW) (RS 品番 674-2498)
(<http://docs-asia.origin.electrocomponents.com/webdocs/0da4/0900766b80da42ae.pdf>)
- (2) IC26-2806-GG4 (山一電機)
(<http://www.yamaichi.co.jp/products/picsocket/ic26dip/pdf/ic26dip.pdf>)

- ・ SDCard の中心がモジュールの中心と一致します。
- ・ 各 pin には 70g の力が加わるため、挿抜には 1kg 近い力をかける必要があります。
このため、取り外し時に、ドライバなどで力を加えられるプロテクト板をモジュール下前後に配置しますので、そのプロテクト板に力を加えて取り外しを行って下さい。
- ・ 引き抜き工具として、Sunhayato の IC EXTRACTOR(GX-7)用のヘッドを有償でご用意しています。

3. 電気特性

3.1. 絶対定格

Supply Voltage VCC3V	-0.2V	to	3.75V
Supply Voltage VCCIO	-0.2V	to	3.75V
Input or I/O Tristate Voltage Applied	-0.2V	to	3.75V
Storage Temperature(Ambient)	-65°C	to	150°C

3.2. 推奨動作範囲

Supply Voltage VCC3V	3.135V	to	3.465V
Supply Voltage VCCIO	1.32V	to	3.465V
Ambient Temperature	0°C	to	70°C

3.3. 消費電流

品目		Typcal(実測)	Max	備考
Module 本体	VCC(3.3V)		mA	
	VCCIO(3.3V 時)		mA	
SD カード	VDD(3.3V)		100mA	規格上の Max 値
合計			mA	

表 3.3 消費電流表

3.4. 電源シーケンス

- ・ VCC3V と VCCIO の間には、電源シーケンスの指定はありません。
両者がともに動作許容範囲に入ったときに動作を開始します。

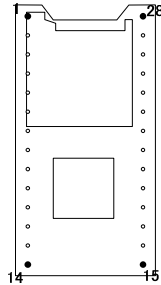
3.5. リセットに関して

- ・ リセットは Low でアサートされる負論理入力です。
- ・ FPGA 内部で、電源投入から立ち上がったときに、それを検出して、FPGA 内部の論理にリセットパルスを発行する機能を搭載しているため、リセット信号がなくても動作します。
- ・ しかしながら、モジュールに対して、明示的にリセット信号を入れていただくことを推奨しており、リセット時間は、搭載している FPGA が電源安定から約 8msec で動作可能状態となるため、電源が安定してから 10msec 以上のリセット信号を入力することを推奨しています。

4. Pin 機能表

uSD-CONF2A モジュールのピン機能表を掲載します。

4.1. uSD-CONF2A ピン配置図(Top View)



4.2. uSDCONF2A ピン機能表

PinNo	信号名	Dir	モジュール内終端	外部終端	Descriptions
1	VCC3V	—			3.3V 電源入力
2	VCCIO	—			入出力信号の VCCIO 電源入力。
3	XAREA0	I	4.7kΩ Pullup	不要	Bitdata 選択用ロータリ SW 入力(LSB)
4	XAREA1	I	4.7kΩ Pullup	不要	Bitdata 選択用ロータリ SW 入力
5	XAREA2	I	4.7kΩ Pullup	不要	Bitdata 選択用ロータリ SW 入力
6	XAREA3	I	4.7kΩ Pullup	不要	Bitdata 選択用ロータリ SW 入力(MSB)
7	GND	—			GND
8	DONE	I	330Ω Pullup	不要	FPGA DONE 信号
9	DCLK	O	無し		FPGA DCLK 信号
10	nCONFIG	O	4.7kΩ Pullup	不要	FPGA nCONFIG 信号
11	nSTATUS	I	4.7kΩ Pullup	不要	FPGA nSTATUS 信号
12	XMODE0	I	4.7kΩ Pullup	不要	動作モード選択信号 0
13	XCS0	O			DaisyChain 用 CS 信号(1 番目の FPGA)
14	XCS1	O			DaisyChain 用 CS 信号(2 番目の FPGA)
15	XCS2	O			DaisyChain 用 CS 信号(3 番目の FPGA)
16	XCS3	O			DaisyChain 用 CS 信号(4 番目の FPGA)
17	XMODE1	I	4.7kΩ Pullup	不要	動作モード選択信号 1
18	D0(SOUT)	O			FPGA 8bit Parallel data0(Serial Data)
19	D1	O			FPGA 8bit Parallel data1
20	D2	O			FPGA 8bit Parallel data2
21	D3	O			FPGA 8bit Parallel data3
22	GND	—			GND
23	D4	O			FPGA 8bit Parallel data4
24	D5	O			FPGA 8bit Parallel data5
25	D6	O			FPGA 8bit Parallel data6
26	D7	O			FPGA 8bit Parallel data7
27	XMODE2	I	4.7kΩ Pullup	不要	動作モード選択信号 2
28	XRST	I	4.7kΩ Pullup	不要	パワーオンリセット信号

表 3.1 uSD-CONF2A ピン機能表

注1) XAREA[3:0],XMODE, DONE,nCONFIG,nSTATUS の信号には内部に Pullup 抵抗が実装されており、外部で実装する必要はありません。

注2) XCS 制御する場合は、外部に終端抵抗が必要です。

4.3. XMODE 詳細

XMode [2:0]	Mode 名	詳細
[111]	microSDCard=>FPGA 直接転送モード(シリアル転送)	microSDCard=>FPGA コンフィグレーションモード(Passive Serial)
[110]	microSDCard=>FPGA 直接転送モード(8bit 転送)	microSDCard=>FPGA コンフィグレーションモード(FPP)
[101]	Nand Flash=>FPGA 直接転送モード(シリアル転送)	NandFlash=>FPGA コンフィグレーションモード(Passive Serial)
[100]	Nand Flash=>FPGA 直接転送モード(8bit 転送)	NandFlash=>FPGA コンフィグレーションモード(FPP)
[011]	microSDCard=>NandFlash 転写モード	AREA 選択 SW で指定された値を基に、microSDCard 上の CONFIG.TXT ファイルの#0~#F コマンドで指定されたコンフィギュレーションデータを、NandFlash 上の所定のエリアに転写します。 転写はイレーズを自動的に実行したあと転写されます。
[010]	N NandFlash エリア イレーズモード	AREA 選択 SW で指定された NandFlash 上のエリアをイレーズします。 NandFlash 上のコンフィギュレーションデータを消去したい場合に使用します。
[001]	NandFlash 初期フォーマットモード	NandFlash を初期化します。 データ格納エリアにバッドブロックが発生してコンフィギュレーションが正常に終了しなくなった場合に実行します。
[000]	No operation	FPGA の制御ピンが全て High-Z になります。 FPGA の JTAG と接続したい場合に選択します。

4.4. XAREA 詳細

- ・ “CONFIG.TXT”ファイル上でSDカード上に格納されたバイナリデータと AREA[3:0]ピンによって指し示される 0~F の 16 個の 16 進数文字と関連付けがなされます。
- ・ XAREA[3:0]入力は負論理で入力され、正論理に反転された AREA[3:0]信号と“CONFIG.TXT”上の 16 進数文字と比較が行われ、一致した 16 進文字と関連付けられたバイナリデータをコンフィギュレーションデータとして選択します。
- ・ 表 4.4 は負論理で入力された XAREA[3:0]の信号レベルと、それによって指示されるエリア番号の対応表です。
- ・ 外付けのロータリーSW としてリアルコードタイプを実装すれば、ロータリーSW の選択番号とエリア番号が一致します。
- ・ ロータリーSW の代わりに CPU から制御することも可能です。

XAREA				詳細
3	2	1	0	
H	H	H	H	エリア 0
H	H	H	L	エリア 1
H	H	L	H	エリア 2
H	H	L	L	エリア 3
H	L	H	H	エリア 4
H	L	H	L	エリア 5
H	L	L	H	エリア 6
H	L	L	L	エリア 7
L	H	H	H	エリア 8
L	H	H	L	エリア 9
L	H	L	H	エリア A
L	H	L	L	エリア B
L	L	H	H	エリア C
L	L	H	L	エリア D
L	L	L	H	エリア E
L	L	L	L	エリア F

表 4.4 XAREA[3:0]とエリア番号表

5. 接続例

5.1. uSDCONF2A 接続例

5.1.1. Slave Serial/SelectMap8 接続(1 : 1 接続)

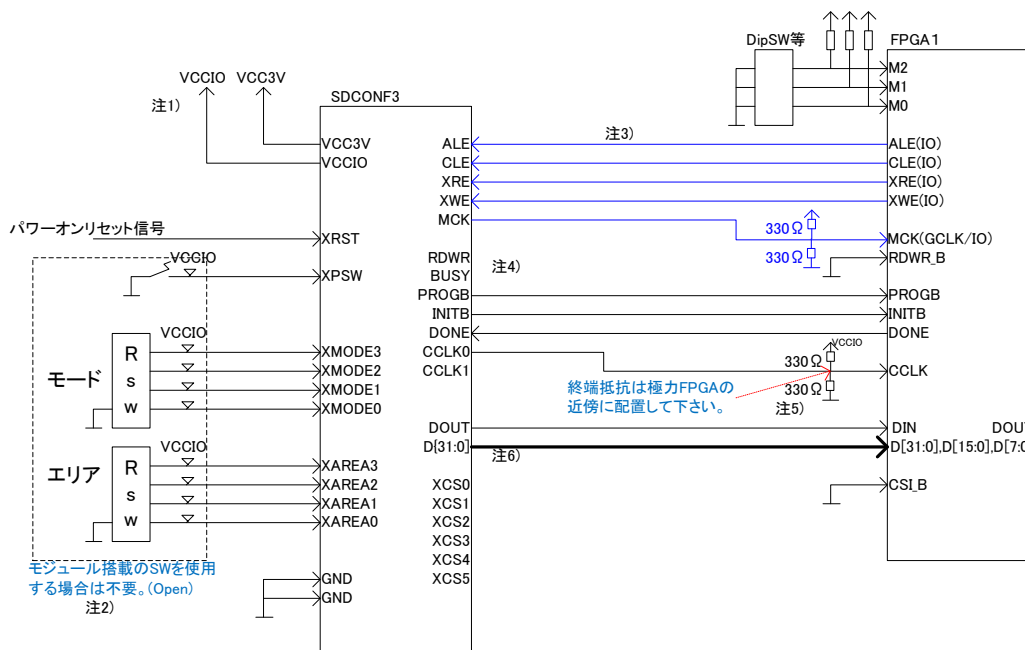


図 5.1.1.1(1) SlaveSerial/SelectMap8,16,32 接続例(1:1 接続)(差し替え要)

- 注1) モジュールに入出力される全ての信号線レベルは VCCIO に依存します。
VCCIO 電圧 2.5V から 3.3V 内においては可変に選択可能ですが、1.8V やさらに低い電圧レベルに対しては、モジュール搭載の FPGA データを入れ替える必要があります。
- 注2) モジュールの外部に、MODE スイッチ、AREA スイッチ、アクションスイッチを取り付けることが可能です。この場合、モジュール上に実装されている MODE スイッチ、AREA スイッチは接点が OFF の状態となるよう選択しておく必要があります。
外部スイッチを使用しない場合は、信号ピンは未接続として下さい。
- 注3) コンフィグレーションが終了した後に、SDCard に対してアクセスを行うための制御信号です。
近い将来、機能を実装しますが、インタフェース条件については未確定の段階です。
ALE(input)は MPBUSY(output)信号に変更する可能性があります。
ALE,CLE,XWE,XRE の4本については、コンフィグレーションが終了した後のデータバスに割り振ることも可能であり、将来的に本機能を使うためには、最低限 MCK の接続が必須となります。(GCLK+IO に接続して下さい。)
MCK は現状モジュールから出力となっており、制御側に余分なバッファを強いています。将来、段階的に入力方向に変更していく予定です。
Multi-FPGA のコンフィグレーションの場合、コンフィグレーション終了後、SDCard のアクセスを行う FPGA ひとつと 1:1 接続する必要があります。
- 注4) RDWR,BUSY 信号は、FPGA のコンフィグレーション情報などを読み出しにいくために使用する信号線で、将来的に、書き込みデータの定期的な多数決比較機能を想定して割り振られています。

本参考回路では接続されていませんが、FPGA の RDWR 信号、BUSY 信号と接続しておくことも可能です。(RDWR 信号は当面 Low を出すように設計します。)

これら 2 つの信号を接続される場合は、現段階ではリスク回避のため、 0Ω 抵抗などで切り離せるようにして下さい。

注5) FPGA の近傍に配置して下さい。また複数の FPGA と接続される場合は、最遠端の FPGA の近傍に配置して下さい。

注6) DOUT 信号には、D[0]信号と同一の信号が出力されます。

内部接続は下図のイメージになります。

FPGA の D[0]と DIN の共有の仕方により、コンフィグレーション後の SDCard へのアクセスのために Data バスを利用する上において、5.1.1.1(3) DOUT/D[0]接続イメージ図 を参照して下さい。

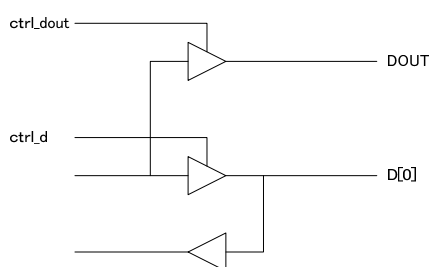


図 5.1.1.1 (2) DOUT/D[0]内部接続イメージ

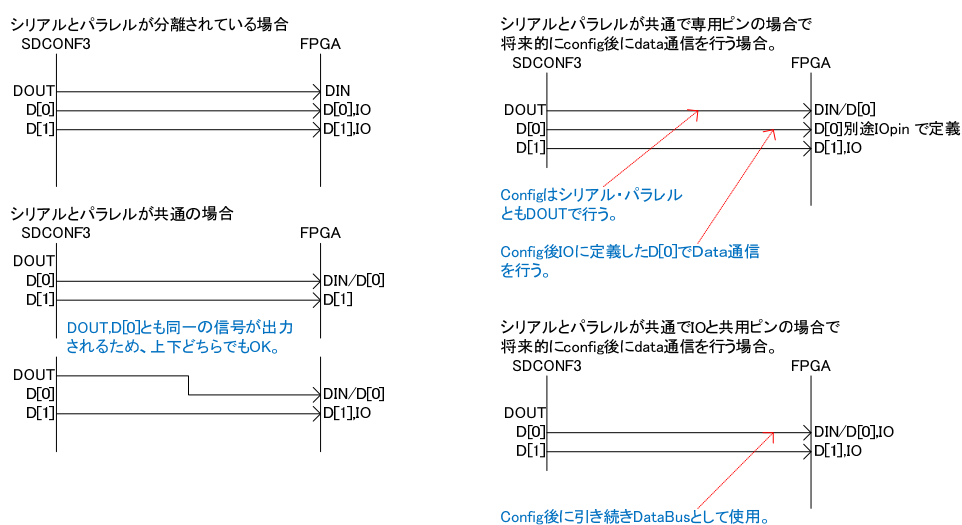


図 5.1.1.1 (3) DOUT/D[0]接続イメージ

- 注1) 5.1.1.1 参照。
- 注2) 5.1.1.1 参照。
- 注3) 5.1.1.1 参照。
- 注4) 5.1.1.1 参照。
- 注5) 5.1.1.1 参照。
- 注6) Slave Serial モードでは CSI_B による制御が行えないため、デジチェーンのルートを確認する必要があります。
- 後述の bit 多重方式による Multi-FPGA 接続方式のほうがパフォーマンスが出ます。
- DIN 信号が専用ピンの場合は 5.1.1.4 のような接続が可能です。(Slave Serial と SelectMap とではバイナリデータを別々に用意する必要があります。
- 注7) DONE 信号をショートピンで切り離せるようにすることにより、デバッグの初期段階などで限定的な FPGA の立ち上げが可能となります。
- 注8) 最遠端の FPGA の近傍に配置して下さい。

5.1.1.5. 通常 Slave serial による Multi-FPGA 接続構成

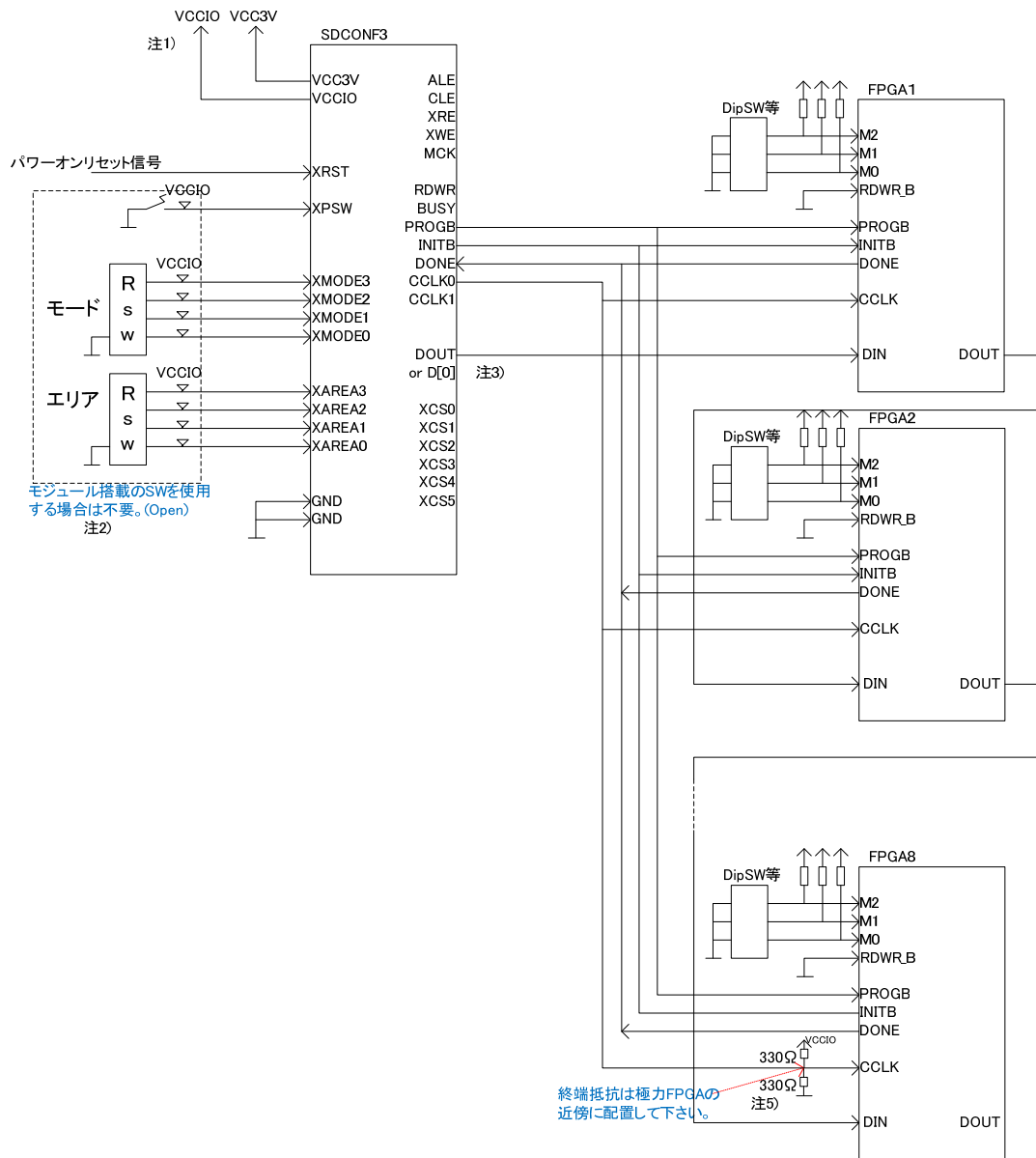


図 5.1.1.4 通常 Slave serial による Multi-FPGA 接続例(差し替え要)

5.2. MSEL について

FPGA の大容量化、高機能化に伴って MSEL のビット数も増えています。

MSEL の設定によって、コンフィギュレーションの転送モードや、インタフェース電圧、Supply_voltage の立ち上がり時間、Security など、多岐に渡っています。

本章では本モジュールの観点から、これらの設定について簡単に説明します。

具体的な設定値については各 FPGA の DataSheet か Configuration Handbook をご参照いただくか、アルテラ担当営業様にお訊ね下さい。

5.2.1. POR Delay(Fast と Standard)

FPGA には複数の電源電圧が供給されており、電源投入時、それらの電圧レベルは Operating 電圧に到達するのに時間差が生じることが考えられます。

これらの全ての電源電圧が t_{RAMP} (200us~100ms)以内に Operating 電圧に到達しない電源電圧が存在する場合、POR Delay の設定によってこれを吸収する必要があります。

FPGA は POR Delay が作動している間、nCONFIG を Low に保っています。

uSDCONF1A モジュールは、モジュールに入力される XRST がリリースされた後、約 1.7msec 後に nCONFIG をリリースしますが、FPGA 側が nCONFIG を Low にしている場合、これを検出して nCONFIG が FPGA からリリースされて PullUP 抵抗により High になるのを待ってからコンフィギュレーションを開始します。

“CONFIG.TXT”の#P : C1 の pump ON 機能は OFF(=0)(デフォルト)のままにしておく必要があります。

Figure 8-2. Relationship between t_{RAMP} and POR Delay

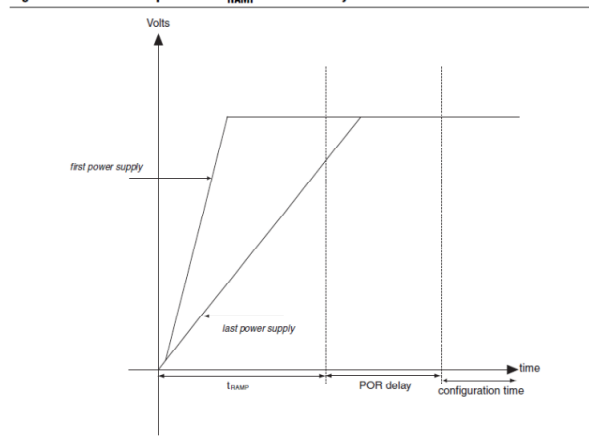


図 5.5.1 Relationship between t_{RAMP} and POR Delay

Table 9-2. Fast and Standard POR Delay Specification (Note 1)

POR Delay	Minimum	Maximum
Fast	4 ms	12 ms
Standard	100 ms	300 ms

表 5.5.1 Fast and Standard POR Delay Specification

5.2.2. Configuration Voltage

uSDCONF1A モジュールは VCCIO 電圧が 3.3V~2.5V、1.8V(データの書き換えが必要です。)に対応しています。

Stratix-V の 3.0V 電圧も VCCIO に 3.0V 電源電圧を印加することで動作します。

そのほか、1.5V や 1.2V についてもデータの書き換えだけで対応することが可能です。(特注扱いとなります。)

5.2.3. FPP(x8,x16,x32)

uSDCONF1A モジュールは FPP の x8 に対応しています。

uSDCONF1A モジュールの XMODE ピンを Low に設定することにより FPP x8 モードが選択されます。

5.2.4. PS

uSDCONF1A モジュールは PS モードに対応しています。

uSDCONF1A モジュールの XMODE ピンを High に設定することにより PS モードが選択されます。

Multi FPGA 接続時、各 FPGA は MSEL を PS モードに設定する必要があります。

5.2.5. AS

uSDCONF1A モジュールは現状 AS モードには対応しておりません。

AS モードの組み込みは、同一ハードウェアにて対応検討中で、データのアップデートによって後日組み込むことが可能です。

詳しくはご相談下さい。

5.2.6. Remote

uSDCONF1A モジュール接続時、MSEL を Remote に設定することはありません。

5.2.7. Security

uSDCONF1A モジュールは、暗号化されたバイナリデータを特別に意識せず、通常のバイナリデータとして取り扱います。

FPGA に転送された暗号化されたバイナリデータは、FPGA の不揮発性領域に予め記憶された暗号 Key で復号化され、Key が一致した場合のみ復号化が成功し、コンフィギュレーションが正常に完了します。

FPP モードで AES を使用する場合は、#P:C5=1 の DCLK を 4 回出力するモードに設定する必要があります。

PS モードではその必要はありません。

5.2.8. Decomp

uSDCONF1A モジュールは、AES とセットで Decomp されたバイナリデータを取り扱うことが可能です。

FPP モードで Decomp を使用する場合は、#P:C5=1 の DCLK を 4 回出力するモードに設定する必要があります。

PS モードではその必要はありません。

5.3. MSEL 表

各 FPGA の MSEL 表をピックアップします。

詳しくは各 FPGA の DataSheet か Configuration HandBook をご参照下さい。

古い種類の FPGA は、新規で採用されることはありませんが、過去に作成した評価ボードや試験用機材など、今も現役で使用されているものも数多くあると思われます。

これらの評価ボードや試験用機材などに改造を加えることによって uSD-CONF1 モジュールを実装することも可能です。

詳しくはご相談下さい。

Table 9-4. Configuration Schemes for Stratix V Devices (Part 1 of 2)

Configuration Scheme	Decompression Feature	Design Security Feature	Configuration Voltage Standard (V) (2)	POR Delay (5)	MSEL[4..0]
FPP x8	Disabled	Disabled	1.8/2.5/3.0	Fast	10100
				Standard	11000
	Disabled	Enabled	1.8/2.5/3.0	Fast	10101
				Standard	11001
	Enabled	Optional (1)	1.8/2.5/3.0	Fast	10110
				Standard	11010
FPP x16	Disabled	Disabled	1.8/2.5/3.0	Fast	00000
				Standard	00100
	Disabled	Enabled	1.8/2.5/3.0	Fast	00001
				Standard	00101
	Enabled	Optional (1)	1.8/2.5/3.0	Fast	00010
				Standard	00110
FPP x32	Disabled	Disabled	1.8/2.5/3.0	Fast	01000
				Standard	01100
	Disabled	Enabled	1.8/2.5/3.0	Fast	01001
				Standard	01101
	Enabled	Optional (1)	1.8/2.5/3.0	Fast	01010
				Standard	01110
PS	Optional (1)	Optional (1)	1.8/2.5/3.0	Fast	10000
				Standard	10001
AS (x1, x4) (3)	Optional (1)	Optional (1)	3.0	Fast	10010
				Standard	10011

図 5.6.1 Stratix-V Configuration Schemes

Table 10-1. Configuration Schemes for Stratix IV Devices (Part 1 of 2)

Configuration Scheme	MSEL2	MSEL1	MSEL0
Fast passive parallel	0	0	0
Passive serial	0	1	0
Fast AS (40 MHz) (1)	0	1	1
Remote system upgrade fast AS (40 MHz) (1)	0	1	1
FPP with design security feature and/or decompression enabled (2)	0	0	1

図 5.6.2 Stratix-IV Configuration Schemes

Table 11-1. Stratix III Configuration Schemes

Configuration Scheme	MSEL2	MSEL1	MSEL0
Fast passive parallel (FPP)	0	0	0
Passive serial (PS)	0	1	0
Fast AS (40 MHz) (1)	0	1	1
Remote system upgrade fast AS (40 MHz) (1)	0	1	1
FPP with design security feature, decompression, or both enabled (2)	0	0	1
JTAG-based configuration (4)	(3)	(3)	(3)

図 5.6.3 Stratix-III Configuration Schemes

Table 7-1. Stratix II and Stratix II GX Configuration Schemes (Part 1 of 2)

Configuration Scheme	MSEL3	MSEL2	MSEL1	MSEL0
Fast passive parallel (FPP)	0	0	0	0
Passive parallel asynchronous (PPA)	0	0	0	1
Passive serial (PS)	0	0	1	0
Remote system upgrade FPP (1)	0	1	0	0
Remote system upgrade PPA (1)	0	1	0	1
Remote system upgrade PS (1)	0	1	1	0
Fast AS (40 MHz) (2)	1	0	0	0
Remote system upgrade fast AS (40 MHz) (2)	1	0	0	1
FPP with decompression and/or design security feature enabled (3)	1	0	1	1
Remote system upgrade FPP with decompression and/or design security feature enabled (1), (3)	1	1	0	0
AS (20 MHz) (2)	1	1	0	1
Remote system upgrade AS (20 MHz) (2)	1	1	1	0
JTAG-based configuration (5)	(4)	(4)	(4)	(4)

5.6.4 Stratix-II Configuration Schemes

Table 11-2. Stratix & Stratix GX Device Configuration Schemes

Description	MSEL2	MSEL1	MSEL0
FPP configuration	0	0	0
PPA configuration	0	0	1
PS configuration	0	1	0
Remote/local update FPP (1)	1	0	0
Remote/local update PPA (1)	1	0	1
Remote/local update PS (1)	1	1	0
JTAG-based configuration (3)	(2)	(2)	(2)

5.6.5 Stratix & Stratix-GX Configuration Schemes

Table 8-3. Configuration Schemes for Cyclone IV GX Devices (EP4CGX15, EP4CGX22, and EP4CGX30 [except for F484 Package])

Configuration Scheme	MSEL2	MSEL1	MSEL0	POR Delay	Configuration Voltage Standard (V) (1)
AS	1	0	1	Fast	3.3
	0	1	1	Fast	3.0, 2.5
	0	0	1	Standard	3.3
	0	1	0	Standard	3.0, 2.5
PS	1	0	0	Fast	3.3, 3.0, 2.5
	1	1	0	Fast	1.8, 1.5
	0	0	0	Standard	3.3, 3.0, 2.5
JTAG-based configuration (2)	(3)	(3)	(3)	—	—

5.6.6 Cyclone-IV GX(1/2) Configuration Schemes

Table 8-4. Configuration Schemes for Cyclone IV GX Devices (EP4CGX30 [only for F484 package], EP4CGX50, EP4CGX75, EP4CGX110, and EP4CGX150) (Part 1 of 2)

Configuration Scheme	MSEL3	MSEL2	MSEL1	MSEL0	POR Delay	Configuration Voltage Standard (V) (1)
AS	1	1	0	1	Fast	3.3
	1	0	1	1	Fast	3.0, 2.5
	1	0	0	1	Standard	3.3
	1	0	1	0	Standard	3.0, 2.5
PS	1	1	0	0	Fast	3.3, 3.0, 2.5
	1	1	1	0	Fast	1.8, 1.5
	1	0	0	0	Standard	3.3, 3.0, 2.5
	0	0	0	0	Standard	1.8, 1.5
FPP	0	0	1	1	Fast	3.3, 3.0, 2.5
	0	1	0	0	Fast	1.8, 1.5
	0	0	0	1	Standard	3.3, 3.0, 2.5
	0	0	1	0	Standard	1.8, 1.5

5.6.7 Cyclone-IV GX(2/2) Configuration Schemes

Table 9-7. Cyclone III Device Family Configuration Schemes (Note 1) (Part 1 of 2)

Configuration Scheme	MSEL				Configuration Voltage Standard (V) (2),(3)
	3	2	1	0	
Fast Active Serial Standard (AS Standard POR)	0	0	1	0	3.3
Fast Active Serial Standard (AS Standard POR)	0	0	1	1	3.0/2.5
Fast Active Serial Fast (AS Fast POR)	1	1	0	1	3.3
Fast Active Serial Fast (AS Fast POR)	0	1	0	0	3.0/2.5
Active Parallel ×16 Standard (AP Standard POR, for Cyclone III devices only)	0	1	1	1	3.3
Active Parallel ×16 Standard (AP Standard POR, for Cyclone III devices only)	1	0	1	1	3.0/2.5
Active Parallel ×16 Standard (AP Standard POR, for Cyclone III devices only)	1	0	0	0	1.8
Active Parallel ×16 Fast (AP Fast POR, for Cyclone III devices only)	0	1	0	1	3.3
Active Parallel ×16 Fast (AP Fast POR, for Cyclone III devices only)	0	1	1	0	1.8
Passive Serial Standard (PS Standard POR)	0	0	0	0	3.3/3.0/2.5
Passive Serial Fast (PS Fast POR)	1	1	0	0	3.3/3.0/2.5
Fast Passive Parallel Fast (FPP Fast POR) (4)	1	1	1	0	3.3/3.0/2.5
Fast Passive Parallel Fast (FPP Fast POR) (for Cyclone III devices only) (4)	1	1	1	1	1.8/1.5
Fast Passive Parallel Fast (FPP Fast POR) (for Cyclone III LS devices only)	0	0	0	1	1.8/1.5
Fast Passive Parallel Fast (FPP Fast POR) with Encryption (for Cyclone III LS devices only)	0	1	0	1	3.3/3.0/2.5
Fast Passive Parallel Fast (FPP Fast POR) with Encryption (for Cyclone III LS devices only)	0	1	1	0	1.8/1.5

☒ 5.6.8 Cyclone-III Configuration Schemes

Configuration Scheme	MSEL1	MSEL0
AS (20 MHz)	0	0
PS	0	1
Fast AS (40 MHz) (1)	1	0
JTAG-based Configuration (2)	(3)	(3)

☒ 5.6.9 Cyclone-II Configuration Schemes

MSEL1	MSEL0	Configuration Scheme
0	0	AS
0	1	PS
0	1	JTAG-based (1)

☒ 5.6.10 Cyclone Configuration Schemes

Table 9-6. Configuration Schemes for Arria II GX Devices (Part 1 of 2)

Configuration Scheme	MSEL3	MSEL2	MSEL1	MSEL0	POR Delay	Configuration Voltage Standard (V) (1)
FPP	0	0	0	0	Fast	3.3, 3.0, 2.5
	0	1	1	1	Fast	1.8
FPP with design security feature, decompression, or both enabled (2)	0	0	0	1	Fast	3.3, 3.0, 2.5
	1	0	0	0	Fast	1.8
PS	0	0	1	0	Fast	3.3, 3.0, 2.5
	1	0	0	1	Fast	1.8
	1	0	1	0	Standard	3.3, 3.0, 2.5
	1	0	1	1	Standard	1.8
AS with or without remote system upgrade	0	0	1	1	Fast	3.3
	1	1	0	1	Fast	3.0, 2.5
	1	1	1	0	Standard	3.3
	1	1	1	1	Standard	3.0, 2.5

5.6.11 Arria II GX Configuration Schemes

Table 11-1. Arria GX Configuration Schemes (Part 1 of 2)

Configuration Scheme	MSEL3	MSEL2	MSEL1	MSEL0
Fast passive parallel (FPP)	0	0	0	0
Passive parallel asynchronous (PPA)	0	0	0	1
Passive serial (PS)	0	0	1	0
Remote system upgrade FPP (1)	0	1	0	0
Remote system upgrade PPA (1)	0	1	0	1
Remote system upgrade PS (1)	0	1	1	0
Fast AS (40 MHz) (2)	1	0	0	0
Remote system upgrade fast AS (40 MHz) (2)	1	0	0	1
FPP with decompression feature enabled (3)	1	0	1	1
Remote system upgrade FPP with decompression feature enabled (1), (3)	1	1	0	0
AS (20 MHz) (2)	1	1	0	1
Remote system upgrade AS (20 MHz) (2)	1	1	1	0

5.6.12 Arria GX Configuration Schemes

Table 6-1. APEX II Configuration Schemes

MSEL1	MSEL0	Configuration Scheme
0	0	PS
1	0	FPP
1	1	PPA
(1)	(1)	JTAG Based (2)

5.6.13 APEX II Configuration Schemes

Table 7-1. APEX 20KE & APEX 20KC Configuration Schemes

MSEL1	MSEL0	Configuration Scheme
0	0	PS
1	0	PPS
1	1	PPA
(1)	(1)	JTAG Based (2)

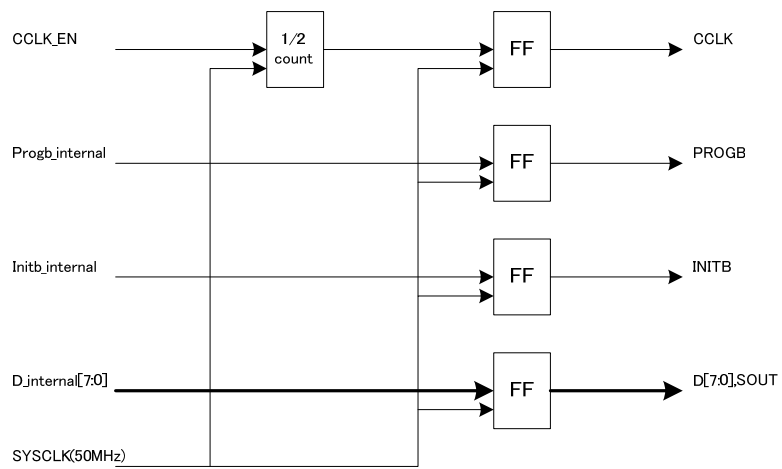
5.6.14 APEX 20KE & KC Configuration Schemes

MSEL1	MSEL0	Configuration Scheme
0	0	PS
1	0	PPS
1	1	PPA
(1)	(1)	JTAG Based (2)

☒ 5.6.15 APEX 20K ACEX 1K FLEX 10K Configuration Schemes

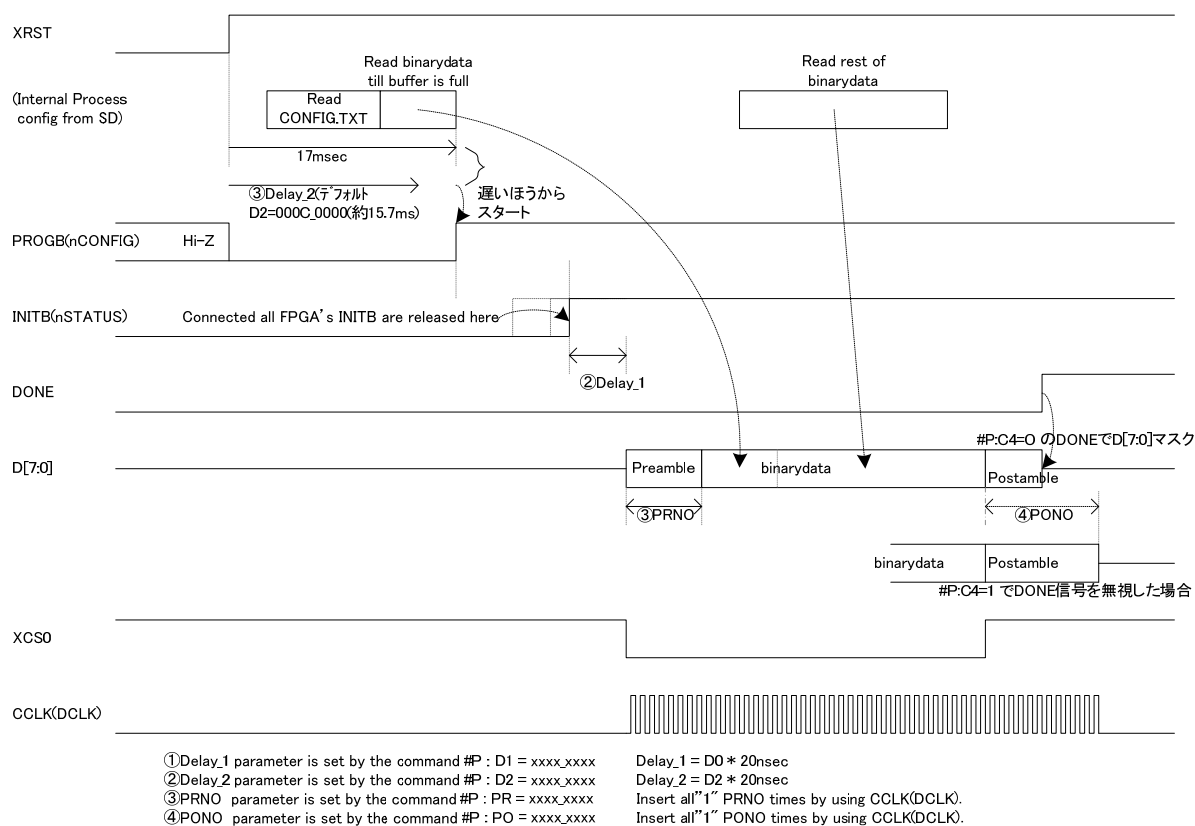
6. タイムチャート

6.1. 信号出力部ブロック図



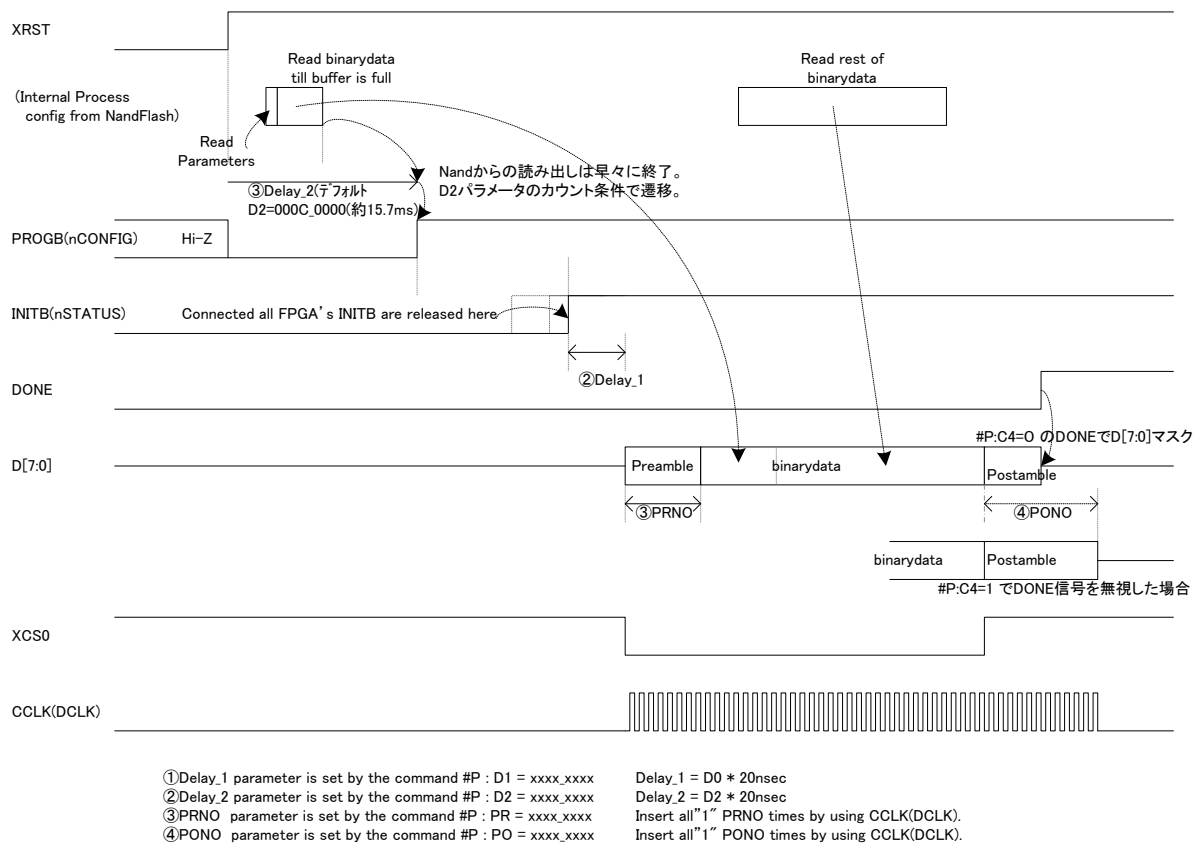
6.2. タイムチャート

(1) SD カードから BinaryData を 1 個読み出し Config する場合



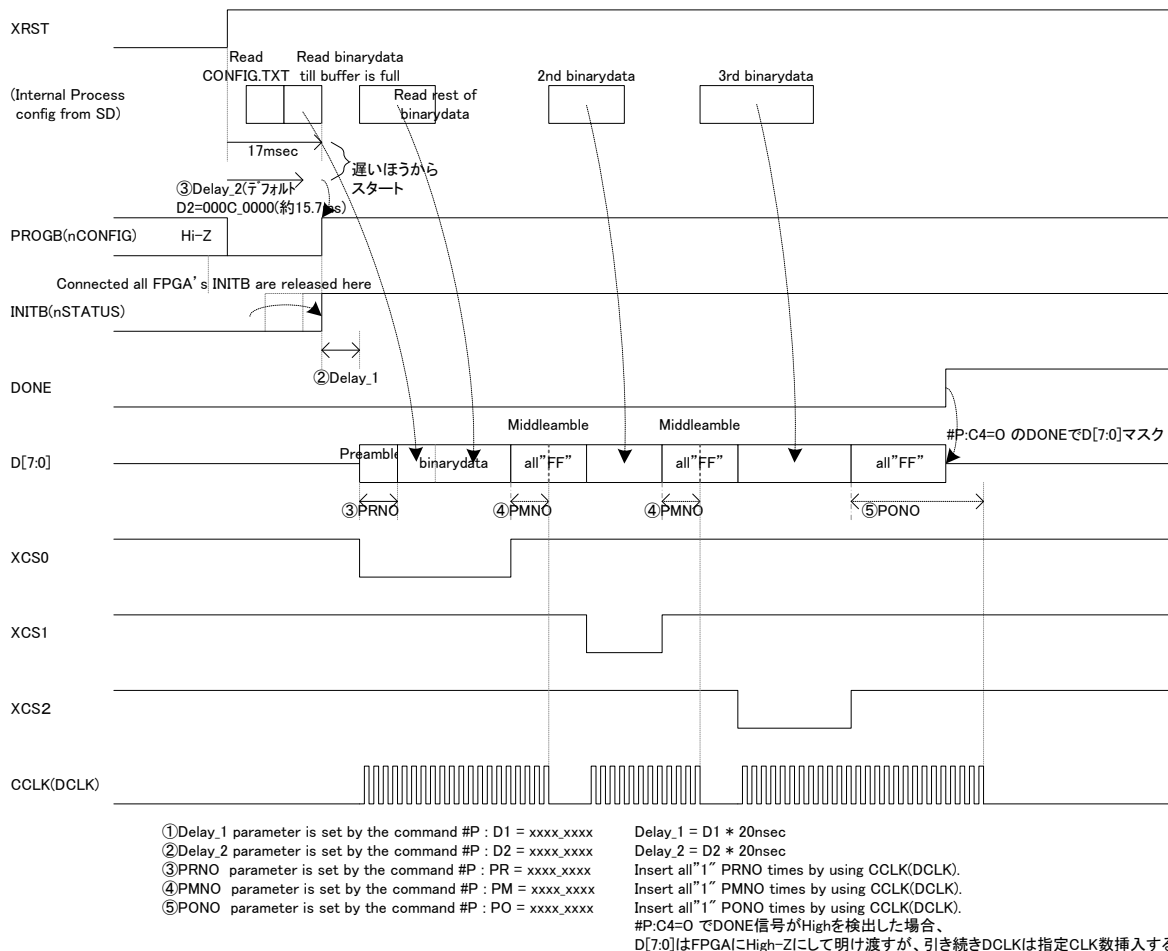
- XRST 信号は 5msec 以上アサートして下さい。また、チャタリングのない信号を入力して下さい。
- リセット期間中、PROGB(nCONFIG)は 1High-Z の状態となります。
- リセットが解除されたところから、D2 カウンタがカウントを開始し、config.txt で#P : D2= XXXX_XXXX で設定したの設定時間を経過するか、SDCardからのデータの読み出し準備が出来た時点の、どちらか遅いほうの事象成立により PROGB(nCONFIG)が High-Z にリリースされ、外部 Pullup で High 論理が見えます。
- INITB は、Ver1.800 より出力から入力に変更となりました。これに伴い、今まで D0 パラメータで INITB のリリースまでの時間設定を行う必要がなくなり、パラメータは未使用となります。
 接続されている全ての FPGA の準備が整って、全ての FPGA が INITB をリリースしたとき、外部 PullUp により INITB は High 論理と見え、これをトリガに SDCONF はD1カウンタのカウントを開始します。
- D1 カウンタの値が config.txt で設定した値か、デフォルト値に達したとき、XCS0 を Low に落とすと同時に Preamble 信号を#P : PR=XXXX_XXXX で設定した値だけ DCLK とともに Data バスに ALL"1"信号を出力します。
- バイナリデータが送出し終わると、XCS0 を High に戻し、#P:PR=XXXX_XXXX で設定した値分、DCLK をを出力するとともに、Data バスに ALL"1"を出力します。
- もし、#P:C4=0(デフォルト)設定の場合、DONE 信号が High になったことを検出して、Data バスを High-Z に開放して端子をFPGAに空け渡します。ただし、DCLKについては、POで設定されたクロック数、最後まで出力します。#P:C4=1 に設定された場合、DONE 信号によらず、PO の設定値分、Data バスに ALL"1" を出し続けます。

(2) NandFlash から BinaryData を 1 個読み出し Config する場合



- XRST 信号は 5msec 以上アサートして下さい。また、チャタリングのない信号を入力して下さい。
- リセット期間中、PROGB(nCONFIG)は 1High-Z の状態となります。
- リセットが解除されたところから、D2 カウンタがカウントを開始し、config.txt で#P : D2= XXXX_XXXX で設定したの設定時間を経過するか、NandFlash からのデータの読み出し準備が出来た時点の、どちらか遅いほうの事象成立により PROGB(nCONFIG)が High-Z にリリースされ、外部 Pullup で High 論理が見えます。Nand のデータ準備は高速に行われるため、通常 D2 の値が採用されます。
- INITB は、Ver1.800 より出力から入力に変更となりました。これに伴い、今まで D0 パラメータで INITB のリリースまでの時間設定を行う必要がなくなり、パラメータは未使用となります。
 接続されている全ての FPGA の準備が整って、全ての FPGA が INITB をリリースしたとき、外部 PullUp により INITB は High 論理と見え、これをトリガに SDCONF は D1カウンタのカウントを開始します。
- D1 カウンタの値が config.txt で設定した値か、デフォルト値に達したとき、XCS0 を Low に落とすと同時に Preamble 信号を#P : PR=XXXX_XXXX で設定した値だけ DCLK とともに Data バスに ALL"1"信号を出力します。
- バイナリデータが送出し終わると、XCS0 を High に戻し、#P:PR=XXXX_XXXX で設定した値分、DCLK をを出力するとともに、Data バスに ALL"1"を出力します。
- もし、#P:C4=0(デフォルト)設定の場合、DONE 信号が High になったことを検出して、Data バスを High-Z に開放して端子を FPGA に空け渡します。ただし、DCLKについては、PO で設定されたクロック数、最後まで出力します。#P:C4=1 に設定された場合、DONE 信号によらず、PO の設定値分、Data バスに ALL"1" を出し続けます。

(3) SD カードから BinaryData を3個読み出し転送の場合



- XRST 信号は 5msec 以上アサートして下さい。また、チャタリングのない信号を入力して下さい。
- リセット期間中、PROGB(nCONFIG)は High-Z の状態となります。
- リセットが解除されたところから、D2 カウンタがカウントを開始し、config.txt で #P : D2= XXXX_XXXX で設定したの設定時間を経過するか、NandFlash からのデータの読み出し準備が出来た時点の、どちらか遅いほうの事象成立により PROGB(nCONFIG)が High-Z にリリースされ、外部 Pullup で High 論理が見えます。Nand のデータ準備は高速に行われるため、通常 D2 の値が採用されます。
- INITB は、Ver1.800 より出力から入力に変更となりました。これに伴い、今まで D0 パラメータで INITB のリリースまでの時間設定を行う必要がなくなり、パラメータは未使用となります。
 接続されている全ての FPGA の準備が整って、全ての FPGA が INITB をリリースしたとき、外部 PullUp により INITB は High 論理と見え、これをトリガに SDCONF は D1カウンタのカウントを開始します。
- D1 カウンタの値が config.txt で設定した値か、デフォルト値に達したとき、XCS0 を Low に落とすと同時に Preamble 信号を #P : PR=XXXX_XXXX で設定した値だけ DCLK とともに Data バスに ALL"1"信号を出力します。
- 1 個目のバイナリデータが送出し終わると、XCS0 を High に戻し、#P:PM=XXXX_XXXX で設定した値分、DCLK をを出力するとともに、Data バスに ALL"1"を出力します。
 PM で設定した値分 DCLK を出し終わると、次のデータの送信準備ができるまで、DCLK は停止した状態で、Data バスに ALL"1"を出し続けます。

- PM のカウントが終了して、データの準備ができると、次の XCS1 を Low に落とすと同時にバイナリデータを送出し始めます。
このとき、PM で指定した DCLK の挿入が、Preamble と Postamble の代わりとなります。
- 最後のバイナリデータを送信し終わると、PO で指定したカウンタ分 DCLK と Data バスに ALL"1"を出力します。
- もし、#P:C4=0(デフォルト)設定の場合、DONE 信号が High になったことを検出して、Data バスを High-Z に開放して端子を FPGA に受け渡します。ただし、DCLK については、PO で設定されたクロック数、最後まで出力します。#P:C4=1 に設定された場合、DONE 信号によらず、PO の設定値分、Data バスに ALL"1"を出し続けます。

7. LED

7.1. LED の実装位置

- ・ uSDCONF2A にはモジュールの状態を表示するための LED(緑)が実装されています。



図 7.1 LED の実装位置

7.2. LED の点灯条件

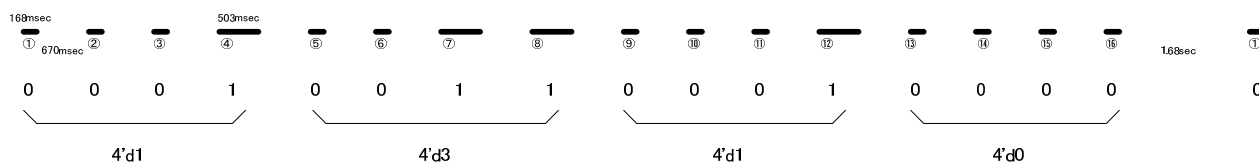
- ・ LED の点灯条件は以下の通りです。

LED 状態	条件
点灯	Slave Serial モードで SD よりデータを転送している間。 Slave SelectMap8 モードで SD よりデータを転送している間。
点滅 167msec 点灯+ 167msec 消灯の 繰り返し。	Slave Serial/SelectMap8 モードで SD のルートディレクトリに“CONFIG.TXT”を認識できなかった場合。 原因: “CONFIG.TXT”ファイルが存在しない。 スペルが間違っている。 “CONFIG.TXT”ファイルが 8 文字以上のキャラクタとして登録されている場合。(SD 上でコピーし、rename した場合など。)
	Slave Serial/SelectMap8 モードで“CONFIG.TXT”によって指定されたバイナリデータがルートディレクトリ上で認識できなかった場合。 原因: バイナリデータが存在しない。 スペルが間違っている。 バイナリデータが 8 文字以上のキャラクタとして登録されている場合。(SD 上で 8 文字以下に rename した場合など。)
無点灯	SD が挿入されていない場合は消灯のままです。
バージョン 情報表示	“CONFIG.TXT”で #P : C9 = 1 が指定されている場合。 上記の SD が挿入されていない場合を除き、モードに関係なく表示されます。

表 7.1 LED 点灯条件

7.3. バージョン情報表示機能

- “CONFIG.TXT”で#P: C9 = 1 を指定することにより、本モジュールの裏面に実装されたLED(図 7.1 参照)の点滅により、モジュールのバージョン情報を表示させることができます。
- バージョン情報は、16 ビットからなり、4 ビット毎に分割した 4 桁のヘキサデータとして表現されます。
- モールス信号のように、LED の点灯時間の長短で“0”と“1”の二進情報を表現します。
- 168msec の短い点灯と 670msec の消灯で“0”を表します。
- 503msec の 3 倍長い点灯と 670msec の消灯で“1”を表します。
- 16 回の点灯のあと、1.68sec の消灯区間で一巡したことを意味します。
- 一周目は無意味なデータが入っているため読み飛ばして、二周目から読みだして下さい。
- 図 7.2 は LED の点滅を時間系列上で太線で表した例です。時間は左から右に経過し、太線が点灯中を表し、太線と太線の間空白は消灯区間を表します。
- LED の点滅の長さを見ながら“0”、“1”をメモしていくと、16 個の 2 進の繰り返しとなります。4 個ずつ区切ってバイナリをヘキサに変換すると、“1310”となります。これは現在の最新情報で、バージョンが“1h”、リビジョンが“31h”、サフィックスが“0h”であることを示します。
- バージョン情報は、大規模な変更が行われない限りこの数値が続きます。
- リビジョン情報は、論理の修正があるアップデートが行われるとインクリメントします。
- サフィックス情報は、同一論理において、インタフェース条件の異なるものが存在する場合に割り振られます。



Version 1. 310

図 7.2 LED 点滅例

8. “CONFIG.TXT”の準備

8.1. “CONFIG.TXT”とは

- SD カードから FPGA へ直接コンフィギュレーションを行う場合、若しくは、SD カードから NandFlash ヘデータを転写する場合に参照されるテキストファイルです。
- ファイル名は 半角アスキーの“CONFIG.TXT”(小文字、大文字小文字混在も可)に固定化されており、SD カードのルートディレクトリに置く必要があります。
- “CONFIG.TXT”ファイルには、ビットファイル名や、各種パラメータを列記します。
- “CONFIG.TXT”ファイルで取り扱えるキャラクタは、**半角アスキーコードのみ**です。
- “CONFIG.TXT”ファイル内のコマンドは、大文字、小文字、両者混在で記載してもかまいません。
例えば PO(ピーオー)など、Po と記載して 0(ゼロ)との紛らわしさを避けることができます。
漢字やひらがなは使えません。全角の空白の混入には注意して下さい。
- “CONFIG.TXT”ファイルには、下記のコマンドが存在します。

8.2. “CONFIG.TXT” サンプル

- SD カードの root ディレクトリに、“CONFIG.TXT”(小文字も可)の名称のファイルを準備する必要があります。

```

// This file is config test           //single' indicates comment out. '/' is familiar to verilog user.
#M : A                               //A: Altera,X:Xilinx, L:Lattice(future option)
#S : 0                               //0:50M(def),1:25M,2:12.5M,3:8.333M,4:6.25M,5:5M
                                       //6:3.125M,7:1.56M,8:0.78M,9:0.39M,F:Active

//Swap parameters
#P : SS = 1                           //Swap bit
##P : SB = 0                          //Swap byte
##P : SW = 0                          //Swap word

//Preamble/Postamble parameters
#P : PR = 0000_0040                   //Preamble insert Number by counting CCLK
#P : Po = 0000_8000                   //Postamble insert Number by counting CCLK

//Delay parameters
#P : D0 = 0000_0100                   //delay Number from nCONFIG to nSTATUS by counting 50MCLK
#P : D1 = 0000_0100                   //delay Number from nSTATUS to DCLK by counting 50MCLK.

//Command parameters
#P : C0 = 1                           //WordAligner
#P : C1 = 0                           //nCONFIG,nSTATUS Pump ON
#P : C2 = 0                           //MultiFPGA 2to1 x 4
#P : C3 = 0                           //MultiFPGA 4to1 x 2
##P : C9 = 1                          //Version Information display on LED.

//Binary data area
//TEST_LED.bin                       //If binary file appear without "#n :",
                                       //the binary file will select immediately.
#0 : TESTLED0.bin                     //bin file
#1 : TESTLED1.bin                     //bin file
#2 : TESTLED2.bit + TESTLED3.bit + TESTLED4.bit //+による連結
#3 : TESTLED3.BIT                     //bit file
#4 : TESTLED4.bin
#5 : testled5.bin
...
#F : TESTLEDF.bin
//end

```

図 8.1. “CONFIG.TXT” サンプル

8.3. Commands 速見表

第 1op	第 2op	Value	機能詳細
//			コメントアウト
#M:		X	メーカーデフォルト指定
#S:		0~9	CCLK 速度選択
#P:	SS=	0/1	シリアル出力 MSB/LSB スワップ
	SB=	0/1	バイト出力 MSB/LSB スワップ
	SW=	0/1	Word,Dword 出力バイトスワップ
	PR=	xxxx_xxxx	プリアンブル長指定
	PO=	xxxx_xxxx	ポストアンブル長指定
	PM=	xxxx_xxxx	File+連結のミドルアンブル長指定
	D0=	xxxx_xxxx	nCONFIG~nSTATUS までのデレイ間隔(削除)
	D1=	xxxx_xxxx	nSTATUS~Data 出力開始までのデレイ間隔
	D2=	xxxx_xxxx	XRST~nCONFIG までのデレイ間隔
	C0=	0/1	ワードアライナ機能
	C1=	0/1	nCONFIG,nSTATUS Pump ON
	C2=	0/1	P2to1 x 4port on SelectMap8
	C3=	0/1	P4to1 x 2port on SelectMap8
	C4=	0/1	DONE 信号無視
	C5=	0/1	FPP x4 モード ON
	C6=	0/1	XCS copy merge detect on
	C7=	0/1	外部回路 74138 の追加による XCS[3:0]=>XCS[7:0]拡張モード ON
	C8=	0/1	Future use
	C9=	0/1	Ver 表示
#R:		0~F	リトライ回数
#0:		File1 + file2 +	エリア0ファイル指定
~			エリア 1~E ファイル指定
#F:		File1 + file2 +	エリア F ファイル指定

8.4. Commands 詳細

(a) “/” (“slash”)

- ・ コメントアウトを行います。
- ・ 行中に“/”を検出すると、“CR”までのそれ以降の文字列をコメントとして読み飛ばします。
- ・ サンプルでは、Verlog の慣例に従い、“//”で表記しています。

(b) #M : A/L/X

- ・ Maker を指定します。デフォルトはありません。
- ・ honparame-tawoshiteisurukotoniyori,7.4 (2)noparame-tagazidousetteisaremasu.
- ・ デフォルトパラメータ値を変更したい場合、本コマンドの後に変更したいパラメータのコマンドを記述して下さい。設定値が上書き修正されます。

(c) #S : 0/1/2/3/4/5/6/7/8/9/F

- ・ FPGA 側の DCLK の速度を指定します。

0 : 50MHz(デフォルト)	6 : 3.125MHz
1 : 25MHz	7 : 1.56MHz
2 : 12.5MHz	8 : 0.78MHz
3 : 8.333MHz	9 : 0.39MHz
4 : 6.25MHz	A~E : 未定義
5 : 5MHz	

(d) #P : SS = 0/1

- ・ シリアルモード転送時(XMODE ピン = High)、D0(SOUT)ピンに最初に出力されるビットの MSB/LSB の出力順番の選択を行います。

0 : MSB ファースト
1 : LSB ファースト(デフォルト)
- ・ 本コマンドはシリアル転送のときのみ有効で、次の#P:SB コマンドの影響は受けません。

(e) #P : SB = 0/1

- ・ バイト単位内で、MSB と LSB を入れ替えます。
本モジュールでは、通常、SD カード上のバイナリデータのバイト単位の MSB が D7 ピンに、LSB が D0 ピンに出力されます。
本パラメータを ON にすると、バイト内で MSB と LSB がスワップされます。

0 : Byte Swap 無し(デフォルト)
1 : Byte Swap 有り
- ・ 本コマンドはパラレル転送のときのみ有効で、前記の #P:SS コマンドには影響を与えません。

(f) #P : SW = 0/1

- 本モジュールでは、16bit、32bit のバス幅指定ができないため、指定しても機能しません。
- Full バージョンのソリューションでは、MODE[3:0]ピンにより、FPGA のバスを 32bit/16bit/8bit/1bit から選択できますが、32bit バス、16bit バス時に有効な設定で、Word 内を Byte 単位でスワップすることが可能です。
- Xilinx Virtex-4 をコンフィギュレーションする場合に使われるコマンドです。
- FPGA バスが 32bit モードのとき、下記のように選択されます。
 - 0 : Word Swap 無し
 - 1 : [31:24] => [7: 0]
[23:16] => [15: 8]
[15: 8] => [23:16]
[7: 0] => [31:24]
- FPGA バスが 16bit モードのとき、下記のように選択されます。
 - 0 : Word Swap 無し
 - 1 : [15: 8] => [7: 0]
[7: 0] => [15: 8]

(g) #P : PR = xxxx_xxxx

- バイナリデータを FPGA に送信する前に、プリアンブルとして Data Bus を All“1”にした状態で、指定回数の DCLK を出力します。
- 指定は 16 進数で行い、8 桁全てを指定する必要があります。
0000_0000 から FFFF_FFFF まで指定できます。
- 16 進数間にアンダーバー“_”を任意に入れることが可能です。
- 0000_0000 を指定すると、プリアンブルは出力されません。
- 指定がない場合のデフォルトは 0000_0000 です。
- Altera の RBF ファイルの先頭にある 32 個の FF についてはデータと認識して出力されますので、本パラメータの指定の有無に係わらず出力されます。

(h) #P : PO = xxxx_xxxx

- ・ バイナリデータを FPGA に送信した後に、ポストアンブルとして Data Bus を All“1”にした状態で、指定回数の DCLK を出力します。
- ・ +連結で複数のバイナリデータを送信する場合、最後のバイナリデータの跡に付加されます。
- ・ 指定は 16 進数で行い、8 桁全てを指定する必要があります。
- ・ 0000_0000 から FFFF_FFFF まで指定できます。
- ・ 16 進数間にアンダーバー“_”を任意に入れることが可能です。
- ・ 0000_0000 を指定すると、プリアンブルは出力されません。
- ・ FFFF_FFFF を指定すると、DCLK は停止せずに出力されつづけます。
この場合、#R コマンドは機能しません。
- ・ 何も指定しないと、デフォルトとして 0000_1000 が設定されます。
- ・ DCLK は DONE 信号がアクティブになっても出力され続けます。
- ・ Data バスはポストアンブル送信途中でも、DONE 信号がアクティブになると High-Z に開放されます。(DONE 信号を無視するためには、#p:C4=1 を設定して下さい。)

(i) #P : PM = xxxx_xxxx

- ・ +連結で、複数のバイナリデータを FPGA に送信する場合に、バイナリデータを送信し終わって、次のバイナリデータを送信する際に、Data Bus を All“1”にした状態で、PM で指定した回数 DCLK を出力します。
- ・ 指定は 16 進数で行い、8 桁全てを指定する必要があります。
- ・ 0000_0000 から FFFF_FFFF まで指定できます。
- ・ 16 進数間にアンダーバー“_”を任意に入れることが可能です。
- ・ 0000_0000 を指定すると、プリアンブルは出力されません。
- ・ 何も指定しないと、デフォルトとして 0000_1000 が設定されます。
- ・ Data バスはミドルアンブル送信後も、次のバイナリデータ送信開始まで ALL“1”を出力し続けます。

(j)#P : DR = xxxx_xxxx => #P:D2=xxxx_xxxx に変更。

(j) #P : D0 = xxxx_xxxx

- ・ ROM バージョン V1.800 より INITB 信号が出力から入力に変更となりました。
これに伴い、INITB の出力の時間タイミングを規定する D0 パラメータは削除されました。
- ・ ~~nCONFIG がリリースされて nSTATUS がリリースされるまでのデレイ間隔を指定します。~~
- ・ ~~指定は 16 進数で行い、8 桁全てを指定する必要があります。~~
- ・ ~~0000_0000 から FFFF_FFFF まで指定できます。~~
- ・ ~~16 進数間にアンダーバー“_”を任意に入れることが可能です。~~
- ・ ~~設定数値 x 20nsec がデレイ時間となります。~~
- ・ ~~デフォルトは 0000_1000 が設定され、約 82usec のデレイ間隔が得られます。~~

(k) #P : D1 = xxxx_xxxx

- ・ INITB がリリースされて、送信の許可をモジュールに出すまでのデレイ間隔を指定します。
- ・ 指定は 16 進数で行い、8 桁全てを指定する必要があります。
- ・ 0000_0000 から FFFF_FFFF まで指定できます。
- ・ 16 進数間にアンダーバー“_”を任意に入れることが可能です。
- ・ 設定数値 x 20nsec がデレイ時間となります。
- ・ Pump_On コマンド(#P:C1 コマンド)が OFF のときの緩やかな立ち上がりを考慮して、デフォルト値として 0000_0010 が設定されており、20nsec x 16=320nsec 後に DCLK がアクティブになります。
- ・ ワードアライナ機能が有効な場合(#P:C0=1)、有意なデータまで読み飛ばすため、データが出力されるまでにさらに時間を要する場合があります。

(l) #P : D2 = xxxx_xxxx

- ・ XRST が High になって nCONFIG を High にするまでの間隔を指定します。
- ・ 指定は 16 進数で行い、8 桁全てを指定する必要があります。
- ・ 0000_0000 から FFFF_FFFF まで指定できます。
- ・ 16 進数間にアンダーバー“_”を任意に入れることが可能です。
- ・ 設定数値 x 20nsec がデレイ時間となります。
- ・ SD カードからのコンフィギュレーションの場合、SD カード読み出し準備時間の 17msec より短い時間を設定した場合、機能しません。
- ・ Nand からのコンフィギュレーションの場合、SD カード読み出し準備時間による待ちが存在しないため、本パラメータが有効になります。
- ・ デフォルトは 000D_0000 が設定され、約 15.7msec の遅延が挿入され、SD カード読み出し準備時間による遅延による動作と、ほぼ等価となります。

(m) #P : C0/1/2/3/4/5/6/7/8/9 = 0/1

- ・ 0 から 9 のコントロールビットが定義されています。

① #P : C0 = 0/1 ワードアライナ機能

- ・ 本パラメータに“1”を設定すると、バイナリデータの先頭付近に存在する文字情報を読み飛ばし、文字情報のあとに位置する 32 個の FF によるプリアンブル領域が先頭となるようにワードアライナを行います。
- ・ 先頭の文字情報がなく、32 個の FF によるプリアンブルから始まるデータは、FF の数を損なうことなく出力されます。
- ・ 本パラメータを設定した状態で、32 個の FF(検出は 5 個の FF で実行しています。)が存在しない場合、データは出力されないことになります。
- ・ pof ファイルに適用すると、先頭領域の管理情報が削除され、rbf ファイルとほぼ同じフォーマットになります。
- ・ 本機能は、FPGA のデータバスが 16bit,32bit の時には位相補正機能としても働き、Xilinx のように、バス幅を識別させるための識別パターンが存在する場合、先頭に存在する文字情報の長さに関わらず、32bit 単位でしっかりと調整することが可能となります。

② #P : C1 = 0/1 nCONFIG、nSTATUS、Pump ON 指定

- ・ 本パラメータに“1”を設定すると、nCONFIG、nSTATUS 信号を、それぞれ Low からリリースするとき、50MHz 1clk 分(20nsec)High レベルを出力し、その後 High-Z となり、信号の立ち上がりを鋭角にすることが可能です。
デフォルト (“0”)

③ #P : C2 = 0/1

- ・ 本パラメータに“1”を設定すると、FPP モードにおいて、8bit のデータバスを 4 つの区画に分け、それぞれの区画の 2 ビット単位でパラレルシリアル変換して出力されます。

D[1:0] => D[0]

D[3:2] => D[2]

D[5:4] => D[4]

D[7:6] => D[6]

- ・ ビットの出現順番は、#P : SS コマンドに準拠します。(“1”の時 LSB first)
- ・ #P:C2 と #P:C3 コマンドは、C3 コマンドが優先されます。

④ #P : C3 = 0/1

- 本パラメータに“1”を設定すると、FPP モードにおいて、8bit のデータバスを 2 つの区画に分け、それぞれの区画の 4 ビット単位でパラレルシリアル変換して出力されます。

$$D[3:0] \Rightarrow D[0]$$

$$D[7:4] \Rightarrow D[4]$$

- ビットの出現順番は、#P : SS コマンドに準拠します。(“1”の時 LSB first)
- #P:C2 と #P:C3 コマンドは、C3 コマンドが優先されます。

⑤ #P : C4 = 0/1

- 本パラメータに“1”を設定すると、Done 信号を無視します。
- DONE 信号を uSDCONF2A に接続しない回路構成系において、DONE 信号端子をオープンのままにしておく、内部 PullUp によって常に High と見えるため、コンフィグレーションが完了したと判断し、Data バスを High-Z にして、ユーザーに開放します。
- 本設定は、DONE 信号を無視し、FPGA にデータを出し続けるためのパラメータです。

⑥ #P : C5 = 0/1

- 本パラメータは ALTERA で使用し、Xilinxでは使用しません。
- FPP で AES や Comp 機能を有効にすると、1 つの 8 ビットデータに対して 4 回 DCLK を変化させてあげる必要があります。
- 本パラメータに“1”を設定することで x4 モードになります。
- MSEL も FPP x4 の設定を選択して下さい。
- 本パラメータを設定した状態で、XMODE ピンを PS モードに設定すると、DCLK は x1 モード動作に自動遷移します。

FPPx4 と PS モードが選択できるシステムでは、常に“1”に設定してあれば、モジュールが自動で切り替えてくれます。

- ~~尚、PS モードで AES や Comp 機能を有効にする場合、DCLK は x1 で動作するため、本パラメータは“0”に設定する必要があります。(2013.07.02)~~

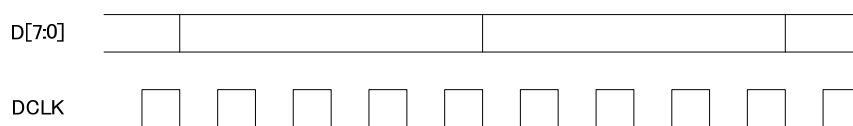


図 8.3 FPPx4 の出力波形

⑦ #P : C6 = 0/1

0:+コマンドによる連結時の出力。

1:copy コマンドによる連結時の出力。

- 複数バイナリファイルをコンフィグレーションする場合の XCSI の出力方法の選択を行います。
- DOS プロンプト上で以下のコマンドで連結したバイナリファイルを使用する場合、本パラメータは”1”に設定する必要があります。

> copy file1.bin/B+ff4096.bin/B + file2.bin/B (+ ff4096.bin/B + file3.bin/B) mergfile.bin
/B はバイナリファイルを意味します。

ff4096.bin は 4096 バイトの ffh が書き込まれたファイルです。(添付ファイル)

()内を繰り返すことにより、最大 8 個のバイナリファイルを連結することができます。

mergfile.bin は連結後のファイル名になります。

バッチファイルで予め準備しておく、生成を単純化することが可能です。

- +コマンドによる連結の場合、本パラメータは”0”に設定する必要があります。
- ALTERA FPGA で使用することはありません。

⑧ #P : C7 = 0/1

- ”1”にセットすると、XCS[3:0]の4本の制御信号により、外付け回路を制御し、8本の XCSext[7:0]信号を生成し、最大8個の FPGA に対してマルチにコンフィグレーションを行うことが可能となります。
- デフォルト(0)

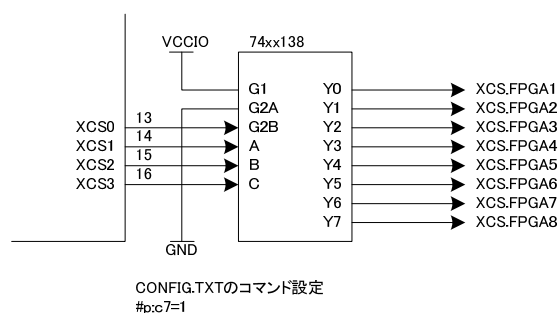


図 8.4 #P : C7=1 のときの外部回路

- ⑨ #P : C8 = 0/1
- ・ 未定義(Reserved)
- ⑩ #P : C9 = 0/1
- ・ 本コマンドを ON にすると、動作モードに関わらず、モジュールのバージョン情報が LED の点滅により表示されます。
 - ・ 表示は 16 ビット単位で一巡し、長い点灯は“1”を、短い点灯は“0”を意味します。
 - ・ 先頭から 4bit 単位で区切って Hex 変換すると、モジュールのバージョン情報が得られます。
 - ・ 先頭の 4bit がバージョンを、次の 4bit とその次の 4bit の 2 桁でリビジョンを、最後の 4bit でサフィックスを表します。
 - ・ バージョン情報は、大きな変更があった場合に変更されます。
 - ・ リビジョンは、簡易な変更があった場合に変更されます。
 - ・ サフィックスは、同一バージョン、サフィックスにおいて、出力電圧などに違いを持たせた場合に割り付けられます。
 - ・ 表示方法の詳細は 8.3. バージョン情報表示機能の項目をご参照下さい。

(n) #R : 0~F

- ・ コンフィギュレーション失敗時のリトライ回数を指定します。
- ・ 0 回から 15 回まで指定できます。(デフォルト 0)
- ・ ポストアンプを送信し終わった段階で DONE 信号をモニタし、アクティブになっていない場合コンフィギュレーションが失敗したと判断し、nCONFIG,nSTATUS を Low に落としてコンフィギュレーションをやり直します。
- ・ nSTATUS によるコンフィギュレーションの失敗の監視は行っていません。

(o) bitfile-name

- ・ 上記の(a)または(b)に属さないキャラクタで始まる行は、Line-Processor はバイナリデータ名として扱います。(注:Line-Processor はキャラクタを解析するシーケンサ論理)
- ・ バイナリデータは、“.rbf”と EPCS 選択された“.pof”を指定することができます。
- ・ バイナリデータ名は 8 文字以下である必要があります。(拡張 FAT16 未対応)
- ・ バイナリデータ名の前後にスペースや TAB を含むことができます。(ファイル名の中にスペースや TAB を挿入することはできません。)
- ・ バイナリデータ名を”+”で連結することにより 8 個の FPGA まで CS 制御による Multi-FPGA コンフィギュレーションを行うことが可能です。 bitfile1.bit + bitfile2.bit + bitfile3.bit + bitfile4.bit
- ・ “+”による連結の際、バイナリデータ名と”+”の間には必ず1つ以上の空白を挿入して下さい。
- ・ “+”による連結の際、途中で改行を加えないで下さい。

(p)#0 ~ #F : bitfile name

- ・ バイナリデータ名を 0 から F の 16 個の 16 進数と関連付けを行います。
- ・ 本コマンドにより関連付けが行われた場合、AREA ロータリーSW の指定エリアと同一の番号の関連付けが存在した場合、関連付けされたバイナリデータをコンフィギュレーションの対象とします。
- ・ #の後には、0~9(30h~39h) , A~F(41h~46h) 若しくは a~f(61h~66h)を置くことができます。
- ・ “.”の後に関連付けをしたいビットファイル名を記述します。
- ・ バイナリデータは、“.bin”と“.bit”のどちらのサフィックスも指定することができます。
- ・ バイナリデータ名は 8 文字以下である必要があります。(拡張 FAT16 未対応)
- ・ バイナリデータ名の前後にスペースや TAB を含むことができます。(ファイル名の中にスペースや TAB を挿入することはできません。)
- ・ バイナリデータ名を”+”で連結することにより外付け回路なしで4個の FPGA まで CS 制御による Multi-FPGA コンフィギュレーションを行うことが可能です。
#0:bitfile1.bit + bitfile2.bit + bitfile3.bit + bitfile4.bit
- ・ 外付け回路を追加することにより、最大 7 個までの FPGA のコンフィグレーションを行うことが可能です。
- ・ “+”による連結の際、バイナリデータ名と”+”の間には必ず1つ以上の空白を挿入して下さい。
- ・ “+”による連結の際、途中で改行を加えないで下さい。

8.5. D1,D2,PO の設定について

- D2 パラメータは、ALTERA のパラメータの tCFG(nCONFIG low pulse width)に該当し、2usec 以上です。uSDCONF2A では SDCard から config.txt とバイナリファイルの先頭を読み出し終わるまでの間、約 17msec 間 Low にして、動作可能になるのを待ちます。
 NandFlash からの読み出し時もこれに合わせるため、D2=000C_0000(=15.7msec)をデフォルトとしています。
- D1 パラメータは、ALTERA のパラメータの tST2CK(nSTATUS high to first rising edge of DCLK)に該当します。
 推奨地として D1=0000_0200(=10uSec)。config.txt でなにも指定しない場合、D1=0000_2000(=164usec)になります。
- PO パラメータは、ALTERA パラメータの USRCLK 数とみなしてそれより大きい数値を設定して下さい。
- 表 8.1 は、代表的な FPGA のシリーズのこれらのパラメータを列記した表です。
- FPGA のシリーズにより、これらの値は異なり、共通に使える値はありません。このため、これらのパラメータを理解し、条件に合致した値を選択する必要があります。
- 一覧にない FPGA をコンフィグレーションする場合は、これらの値を調査し、最適な値を設定して下さい。

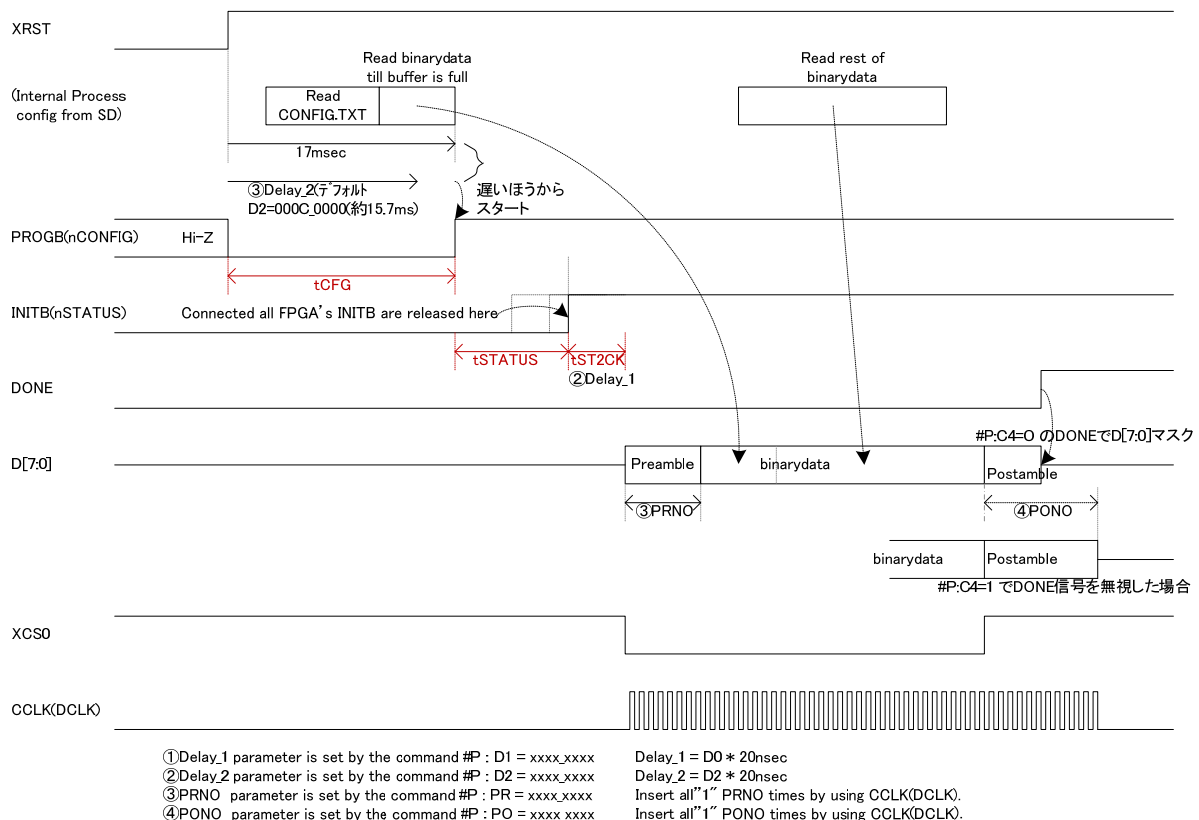


図 8.3

FPGA Series	tCF2ST1	tCF2CK	tST2CK	CLKUSR	D1	D2	PO
Cyclone-III	$\leq 800\mu\text{S}$	$\geq 800\mu\text{S}$	$\geq 2\mu\text{S}$	3,185/ 3,192(LS)	0000_0200 =10 μS	000C_0000 =15.7mS	0000_1000 =4096clk
Cyclone-IV	$\leq 230\mu\text{S}$	$\geq 230\mu\text{S}$	$\geq 2\mu\text{S}$	3,192	0000_0200 =10 μS	000C_0000 =15.7mS	0000_1000 =4096clk
Cyclone-V	$\leq 1,506\mu\text{S}$	$\geq 1,506\mu\text{S}$	$\geq 2\mu\text{S}$	17,408	0000_0200 =10 μS	000C_0000 =15.7mS	0000_5000 =20480clk
Stratix-III	$\leq 100\mu\text{S}$	$\geq 100\mu\text{S}$	$\geq 2\mu\text{S}$	4,436	0000_0200 =10 μS	000C_0000 =15.7mS	0000_1200 =4608clk
Stratix-IV	$\leq 500\mu\text{S}$	$\geq 500\mu\text{S}$	$\geq 2\mu\text{S}$	8,532	0000_0200 =10 μS	000C_0000 =15.7mS	0000_2400 =9216clk
Stratix-V	$\leq 1,506\mu\text{S}$	$\geq 1,506\mu\text{S}$	$\geq 2\mu\text{S}$	17,408	0000_0200 =10 μS	000C_0000 =15.7mS	0000_5000 =20480clk
Arria-GX	$\leq 100\mu\text{S}$	$\geq 100\mu\text{S}$	$\geq 2\mu\text{S}$	299	0000_0200 =10 μS	000C_0000 =15.7mS	0000_0200 =512clk
Arria-II	$\leq 500\mu\text{S}$	$\geq 500\mu\text{S}$	$\geq 2\mu\text{S}$	8,532	0000_0200 =10 μS	000C_0000 =15.7mS	0000_2400 =9216clk
Arria-V	$\leq 1,506\mu\text{S}$	$\geq 1,506\mu\text{S}$	$\geq 2\mu\text{S}$	17,408	0000_0200 =10 μS	000C_0000 =15.7mS	0000_5000 =20480clk

表 8.1

8.6. コマンドパラメータ デフォルト値

- ・ “CONFIG.TXT”設定されるパラメータのデフォルト値を示します。

(1) メーカー指定無しの場合のデフォルト値

Maker Code	Maker Name	デフォルト設定値	備考
指定無	Xilinx (default)	#P : SS = 0 (MSB ファースト)	
		#P : SB = 1 (Byte Swap 有効)	
		#P : SW = 0 (Word Swap 無効)	
		#S : 0 (50MHz Passive モード)	
		#P : PR = 0000_0100 (プリアンブル 256CLK 挿入)	
		#P : PM = 0000_1000 (ミドルアンブル 4,096CLK 挿入)	
		#P : PO = 0010_0000 (ポストアンブル 1,048,576CLK 挿入)	
		#P : D0 = 0008_0000 (nCONFIG ~ nSTATUS : 82usec)	
		#P : D1 = 0000_0010 (nSTATUS ~ DCLK : 320nsec)	
		#P : D2 = 000C_0000 (XRST ~ nCONFIG : 15.7msec)	
		#P : C0 = 1 (ワードアライナ無効)	
		#P : C1 = 0 (Pump ON 無効)	
		#P : C2 ,C3 = 0 (Bus 分割 Multi FPGA mode 無効)	
		#P : C4 = 0 (DONE 信号有効)	
		#P : C5 = 0 (FPP x4 Mode OFF)	
#P : C6 = 0 (連結方法 +連結)			
#P : C7 = 0 (XCS 外部回路 Mode OFF)			
#P : C9 = 0 (バージョン表示モード 無効)			

(2) メーカー指定をした場合のデフォルト値(ALTERA)

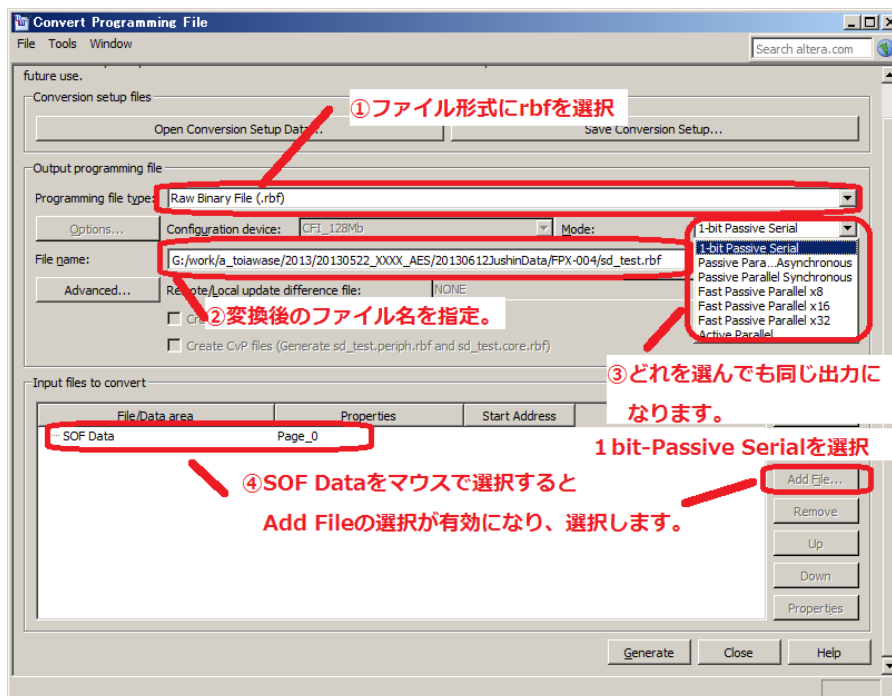
Maker Code	Maker Name	デフォルト設定値	備考
A	ALTERA	#P : SS = 1 (LSB ファースト) #P : SB = 0 (Byte Swap 有効) #P : SW = 0 (Word Swap 無効) #S : 0 (50MHz Passive モード) #P : PR = 0000_0000 (プリアンブル挿入 なし) #P : PM = 0000_1000 (ミドルアンブル 4,096CLK 挿入) #P : PO = 0000_4000 (ポストアンブル 16,384CLK 挿入) #P : D0 = 0000_5000 (nCONFIG ~ nSTATUS : 82usec) #P : D1 = 0000_2000 (nSTATUS ~ DCLK : 164usec) #P : D2 = 000C_0000 (XRST ~ nCONFIG : 15.7msec) #P : C0 = 0 (ワードアライナ無効) #P : C1 = 0 (Pump ON 無効) #P : C2 ,C3= 0 (Bus 分割 Multi FPGA mode 無効) #P : C4 = 0 (DONE 信号有効) #P : C5 = 0 (FPP x4 Mode OFF) #P : C6 = 0 (連結方法 +連結) #P : C7 = 0 (XCS 外部回路 Mode OFF) #P : C9 = 0 (バージョン表示モード 無効)	

(3) メーカー指定をした場合のデフォルト値(Xilinx)

Maker Code	Maker Name	デフォルト設定値	備考
X	Xilinx	#P : SS = 0 (MSB ファースト) #P : SB = 1 (Byte Swap 有効) #P : SW = 0 (Word Swap 無効) #S : 0 (50MHz Passive モード) #P : PR = 0000_0100 (プリアンブル 256CLK 挿入) #P : PM = 0000_1000 (ミドルアンブル 4,096CLK 挿入) #P : PO = 0010_0000 (ポストアンブル 1,048,576CLK 挿入) #P : D0 = 0008_0000 (nCONFIG ~ nSTATUS : 82usec) #P : D1 = 0000_0010 (nSTATUS ~ DCLK : 320nsec) #P : D2 = 000C_0000 (XRST ~ nCONFIG : 15.7msec) #P : C0 = 1 (ワードアライナ無効) #P : C1 = 0 (Pump ON 無効) #P : C2 ,C3= 0 (Bus 分割 Multi FPGA mode 無効) #P : C4 = 0 (DONE 信号有効) #P : C5 = 0 (FPP x4 Mode OFF) #P : C6 = 0 (連結方法 +連結) #P : C7 = 0 (XCS 外部回路 Mode OFF) #P : C9 = 0 (バージョン表示モード 無効)	

8.7. RBF データの生成方法

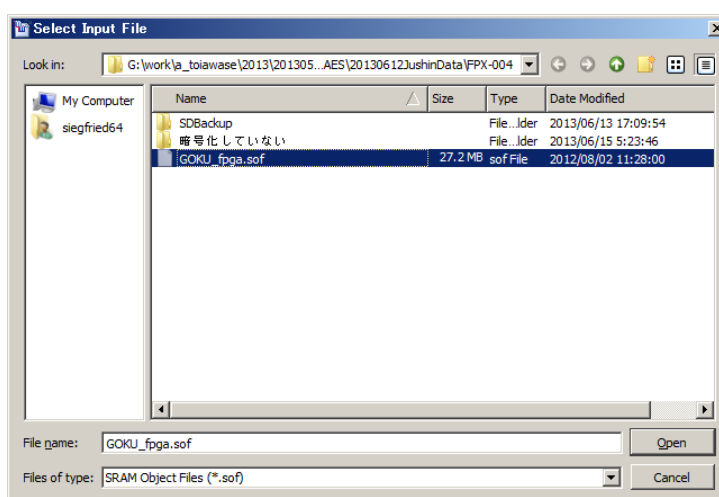
Quartus-II の左上の PullDown メニューから、
File > Converter Program Files を選択します。
下記の Window が現れます。



ファイル形式に rbf を選択します。

変換後のファイル名を指定します。8 文字以内で指定すると、そのまま SDCard にコピーが可能です。

モードを指定します。どれを選択しても rbf は同じ出力を吐き出しますので
とりあえず、1-bit Passive Serial を選択します。



ファイル名を選択し、Open をクリックします。

Generate をクリックすると rbf ファイルが出力されます。

生成された rbf を SDCard のルートディレクトリにコピーします。

9. 機能詳細

9.1. ワードアライナ機能

- バイナリデータ上の実質的な送信開始情報である 32 個の FF を検出します。
- FPGA に転送不要な管理情報等を削除します。
- 16bit や 32bit 幅で FPGA に転送するとき、有効データの始まりのバイト位置をダブルワード単位で位相を補正して FPGA に転送します。
- 本機能により、配置配線の結果として出力されるサフィックスが“.bit”のバイナリデータを取り扱うことが可能になります。
- “CONFIG.TXT”の#P : C0 コマンドで“1”を指定することにより有効になります。
(デフォルト 0)(メーカー指定した場合はデフォルト1)
- 現状、ALTERA FPGA に対しては、RBF ファイルを使用することを推奨しています。RBF ファイルの先頭には管理ファイルが存在しないため、本設定は常に"0"にして下さい。

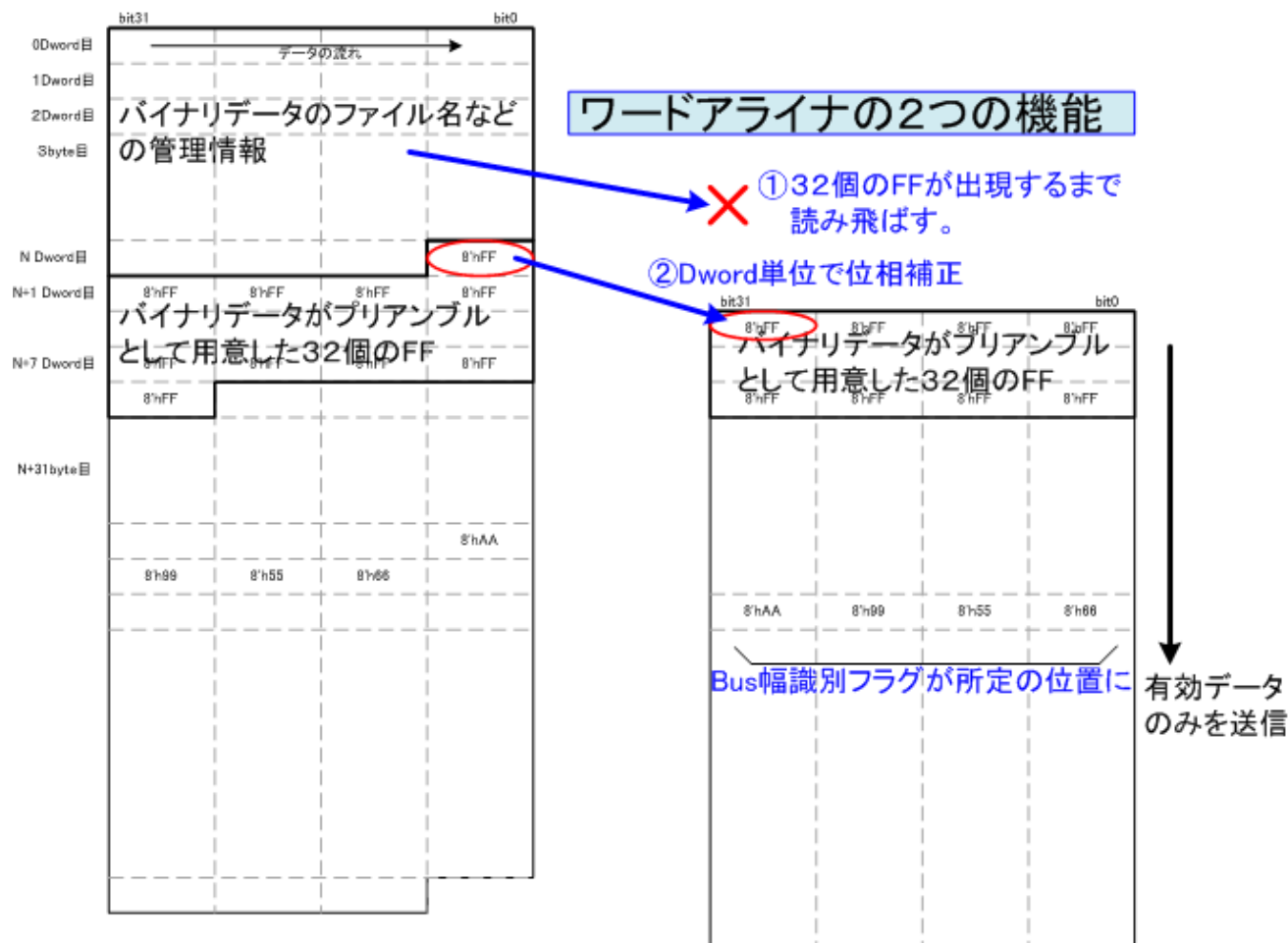


図 9.1. ワードアライナ機能説明図

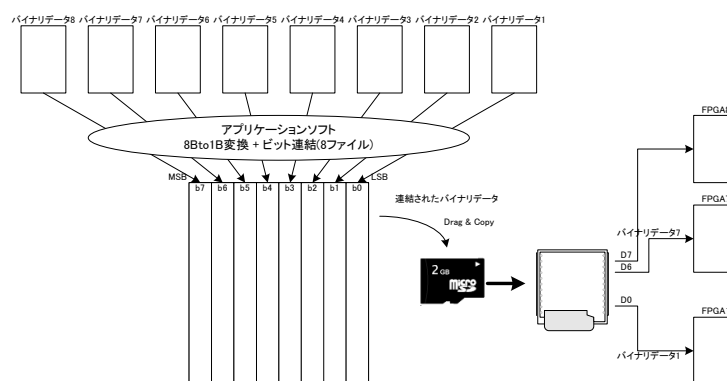
9.2. bit 連結による Multi FPGA Configuration 機能

- 添付されるアプリケーションソフトと、コマンドパラメータの設定により、シリアル転送により同時に複数の FPGA をコンフィギュレーションすることが可能です。
- Daisy-Chain 方式による複数の FPGA をコンフィギュレーションする方法とは別の方式になります。
- SD カードの実効読出速度が 200Mbps に対して、50Mbps のシリアル通信を 1 本だけ行うことは非効率で、本方式によりリソースを分割することにより、4 本まではシリアル通信の実効速度を下げることなく転送することが可能になります。

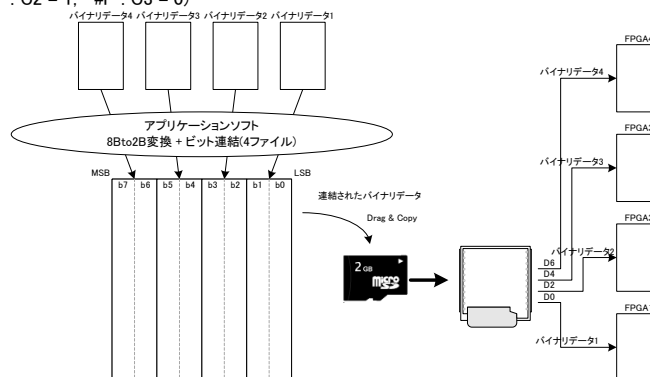
分割個数が 8 個の場合で、FPGA 割り当てに空きがある場合や、それぞれの FPGA のサイズが異なる場合、Daisy-Chain 方式より効率が悪くなる場合があります。

bit連結によるMulti FPGA Configurationの動作原理

(1) 8分割時(#P : C2 = 0, #P : C3 = 0)



(2) 4分割時(#P : C2 = 1, #P : C3 = 0)



(3) 2分割時(#P : C2 = 0, #P : C3 = 1)

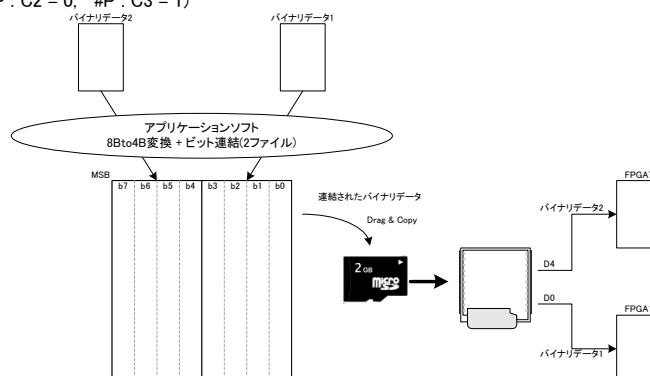


図 9.2. bit 連結による Multi FPGA Configuration の動作原理図

9.3. “CONFIG.TXT”による Multi FPGA Configuration 機能

- “CONFIG.TXT”“ファイル上で単独バイナリデータを指定する代わりにバイナリデータを順次”+”により連結指定することにより、モジュールは最初のバイナリデータの転送を CS0 をアサートして開始し、転送が終了するとネゲートし、順次 CS 番号をインクリメントしながら該当のバイナリデータを転送することが可能です。

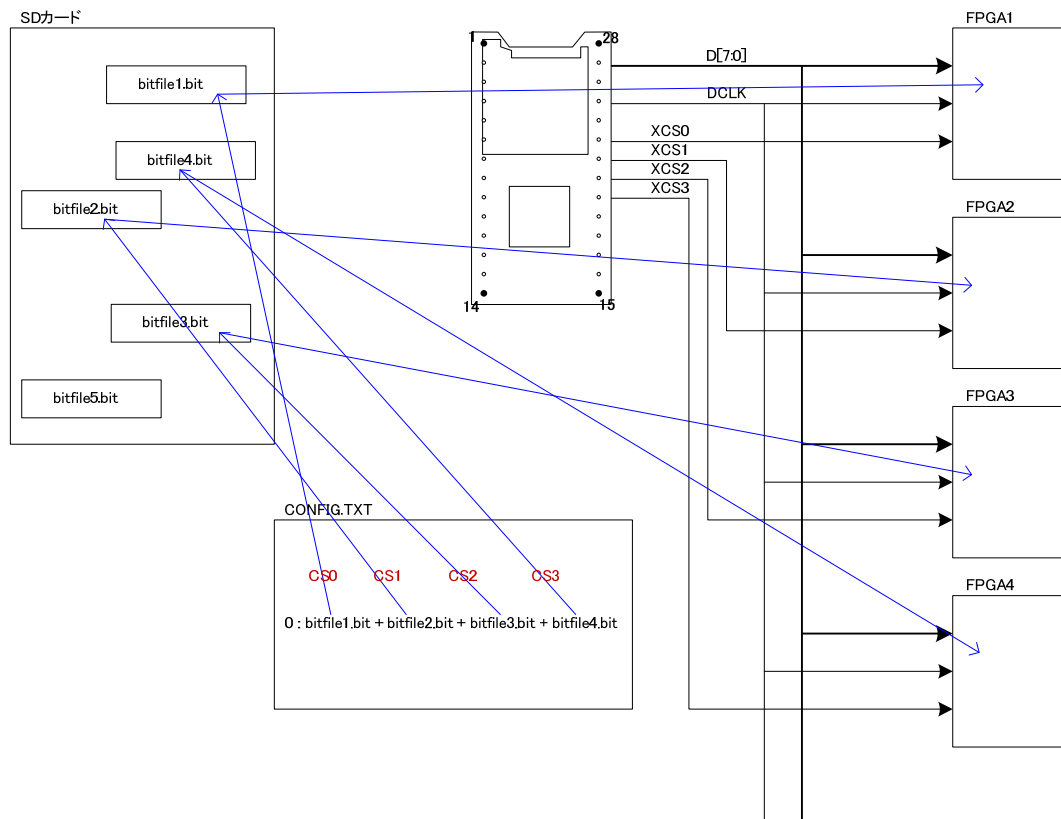
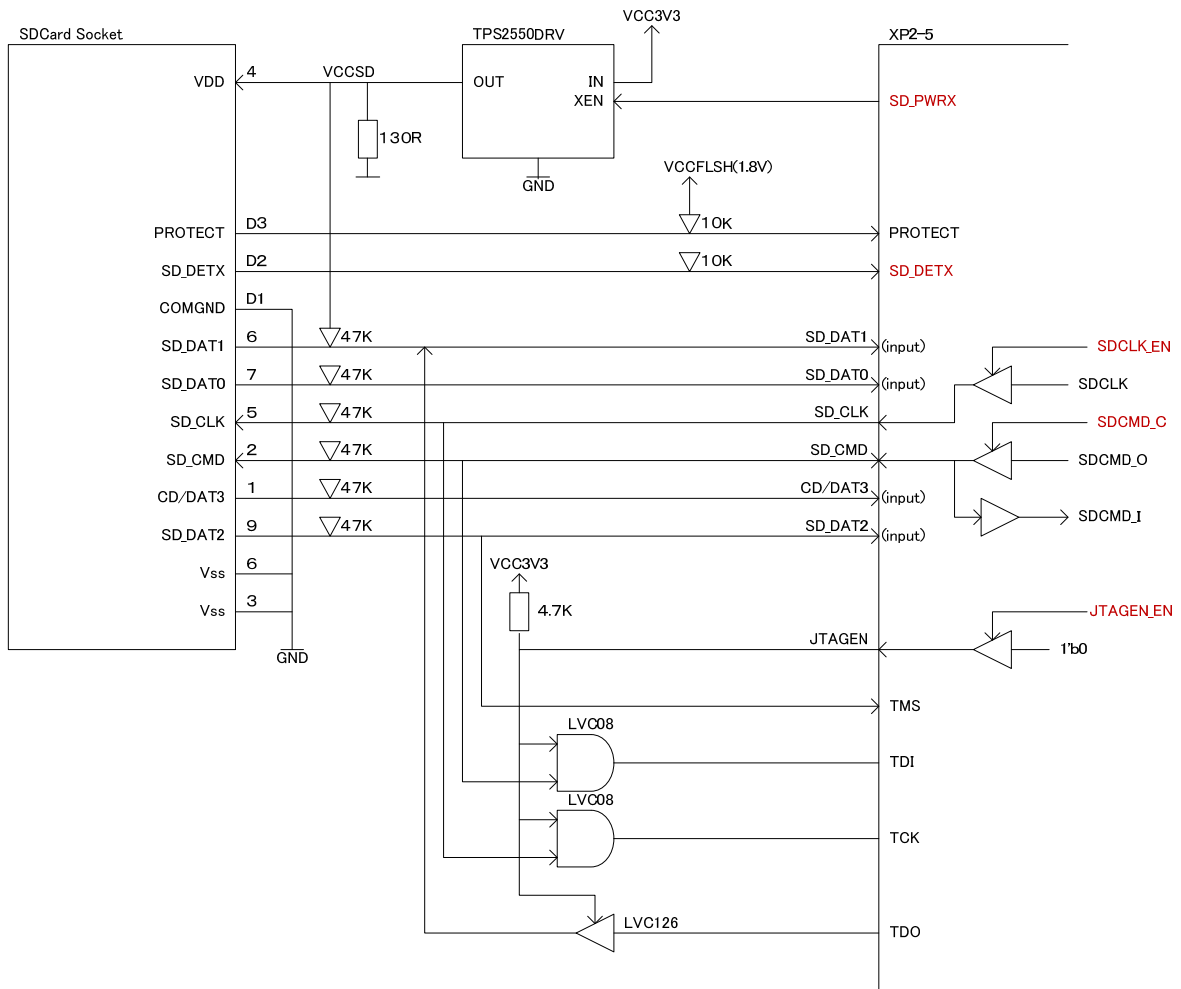


図 9.3. “CONFIG.TXT”による Multi FPGA Configuration の動作原理図

9.4. SDCard の活線挿抜について



9.5. SDCard の活線挿抜対策

① SD カード電源の制御

- ・ XRST 信号、SD_DET_X 信号によって下記の制御を行いません。
$$\text{assign SD_PWRX} = \text{XRST} \mid \text{SD_DET}_X;$$
- ・ SD_DET_X は、SDCONF モード、TRANS モード時の SDCard へのアクセスの最初の段階で1度だけチェックを行いません。
その際、SD_DET_X == 1'b1で未挿入の場合、挿入を検出するまでループします。
- ・ SD_DET_X==1'b0を検出すると、7FFFh x 20nsec = 655usec 経過後、SDCard と通信を開始します。
SDCard と通信中に SDCard が引き抜かれた場合、SDCONF3は ERROR ステートに遷移します。
ERROR ステートに遷移した場合、電源を再投入するか XRST をアサートすることにより ERROR ステートから復旧することが可能です。

② IO ピンの Tri-State 制御

- ・ SD_DAT[0:3]については、入力信号のため処理は行なっていません。
- ・ SD_CMD については、通常入力方向の信号ですが、SDCard の挿抜時に出力に向いている場合を考慮して XRST,SD_DET_X がアサート時、Hi-Z 出力となります。
- ・ SD_CLK については、JTAG ポート選択時 Hi-Z 制御となる論理が入っておりますが、XRST,SD_DET_X がアサート時も Hi-Z 出力となります。

③ JTAGEN 信号の制御

- ・ 電源投入時、リセット立ち上がり時、SD_DAT0 が Low になっていないかをチェックします。
もし SDCard_Adapter が挿入されていて、SD_DAT0 が Low に Pulldown されている場合、本モジュールは SDCard ソケットに JTAG ケーブルが挿入されたと判断し、JTAGEN 信号を Hi-Z とし、外部 4.7K Ω Pullup 抵抗により High に確定します。
- ・ これにより、TDI,TCK が JTAG ポートに入力され、同時に TDO が SD_DAT1 ラインに出力されます。
- ・ XP2 CPLD に論理が書かれていない状態では、JTAGEN 信号は Hi-Z と認識され、JTAG ポートの接続が確立します。
- ・ XRST 動作時、SDCard が抜かれた状態において、SDCard への電源は停止状態になりますが、JTAG ポートへの SD_DAT1(TDO)信号が出力されないよう、JTAGEN は Low に固定されます。

10. モジュールのソケットからの取り外しについて

- uSDCONF2A はモジュール構成となっているため、ターゲット基板に実装する際にソケット実装することで、システムの評価が終了したあとに取り外して他のシステムに使いまわすことが可能です。
- しかしながら、図 10.1.のように、モジュールの裏側は高密度にチップ部品を実装しており、取扱いに注意して取り外さないと不用意に部品を押しつぶしたり、パターンを剥離してしまいかねません。
- 本章では、モジュールを末永くお使いいただくために、モジュールの裏面の実装の状況を把握していただき、取り外しの注意点等をご紹介します。

10.1. モジュール裏面

- 両側の赤枠で囲った部分に、他の部品より背丈のあるブロック片を実装しています。モジュールの取り外しの際には、このブロック片に力が加わるよう取り外して下さい。

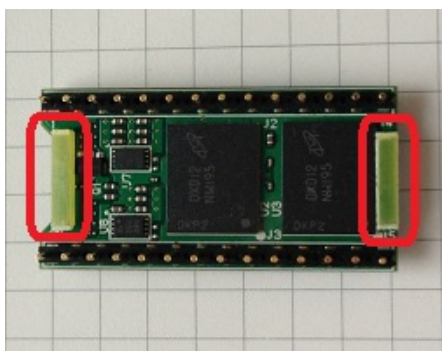


図 10.1. uSDCONF2A Bottom View

10.2. モジュールの取り外し方

- Sunhayato の IC EXTRACTOR GX-7 のヘッダ部分を有償でご用意しています。
- 治具のアームのフック金具をモジュールとソケットの間に差し込みます。
- 両側のアームの中心が、モジュールの中央ラインにくるように、また、フックがしっかりとモジュール下部に入り込むように調整します。
- 写真矢印の方向に、片方の手でアーム部分を挟みこみ、フックがずれることなくモジュールを引っ掛けるよう、しっかりと押さえ込みます。
- この状態で、もう片方の手で、ピストルの引き金を引くようにレバーを持ち上げて下さい。

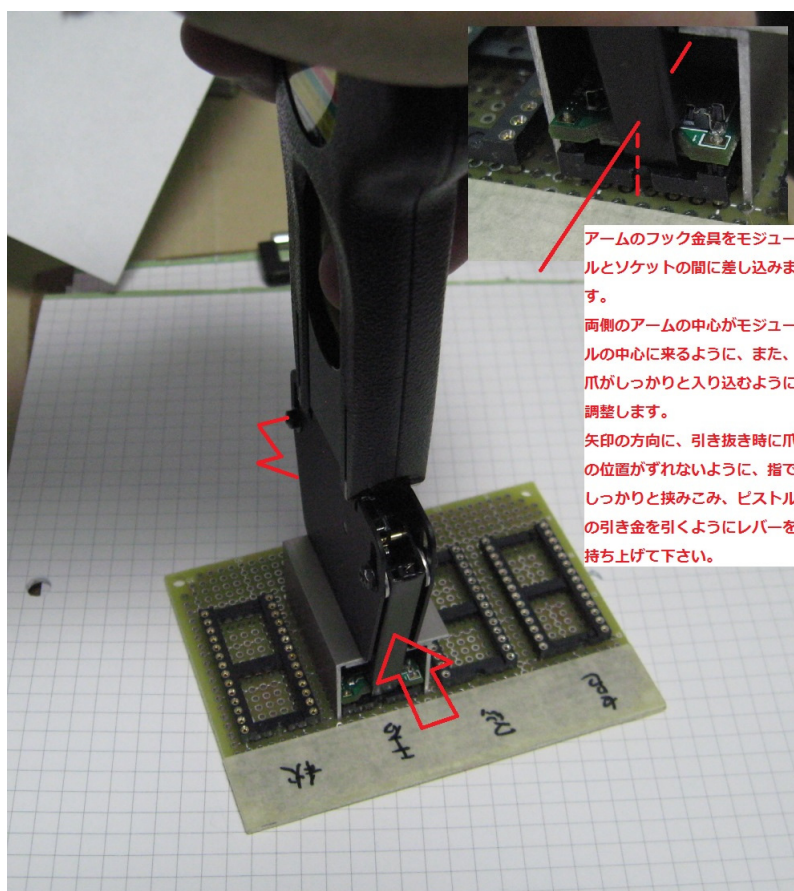


図 9.2.1 取り外し用金具

11. 添付品

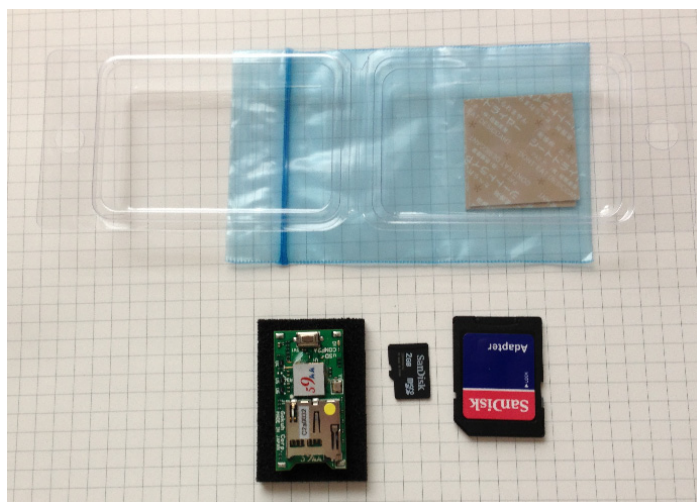


図 11.1



図 11.2

- 図 11.1 は製品として出荷される構成要素です。
 - uSDCONF2A 本体
 - 2 Gbyte microSDCard (メーカーはそのときの入手状況によって異なる場合があります。)
 - SDCard 中の readme ディレクトリ内に、下記のデータが書き込まれています。
 - (ア) Datasheet
 - (イ) CONFIG.TXT サンプル(ALTERA、Xilinx 用)
 - SDCard アダプタ
 - 静電マット
 - 乾燥剤+静電袋+プリスターケース
- 図 11.2 はケースに梱包された状態です。
 - ケースのサイズは、突端部分を含めて 50mm × 85mm × 20mm です。
- 数量が多く、即実装される場合には、梱包しないで出荷も可能です。

12. VCCIO 電圧とシールの色

- ・ uSDCONF1A の VCCIO 電圧を識別できるように、microSD ソケット表面に丸いシールが張られています。(表 13.1 参照)
- ・ 3.3V と 2.5V のモジュール内部の設定が共通のため、3.3V/2.5V を青色シール 1 枚で代用する場合があります。

VCCIO	インターフェース	シール
3.3V	LVC MOS3.3V	青色
2.5V	LVC MOS2.5V	緑色
1.8V	LVC MOS1.8V	黄色

表 12.1

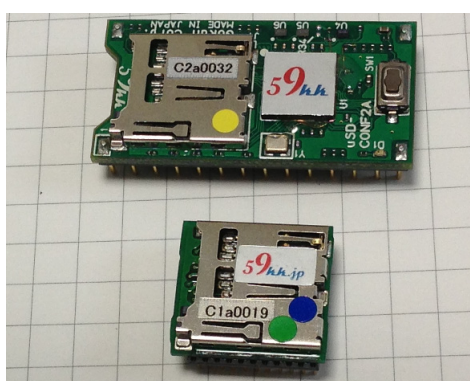


図 12.1 シール添付例

13. 発注型格

- (2) 発注時、下記の型格でご注文下さい。
- (3) 数量が多い場合などで、即実装される場合は、静電マット平面梱包が便利です。

VCCIO 電圧	梱包形態	発注型格
3.3V/2.5V	ビリスターケース単体梱包	uSDCONF1A8-001-33V
	静電マット平面梱包	uSDCONF1A8-001-33VN
1.8V	ビリスターケース単体梱包	uSDCONF1A8-001-18V
	静電マット平面梱包	uSDCONF1A8-001-18VN

表 14.1

14. 制約事項

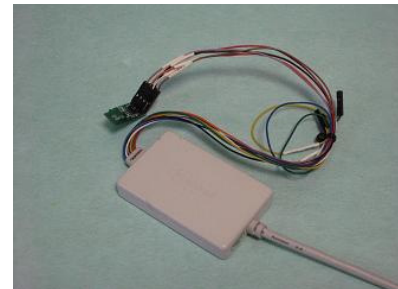
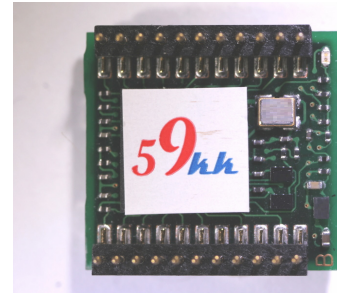
- ① 使用する SD カードは 2G バイト以下の FAT16 でフォーマットされたものをご利用下さい。
FAT32 でフォーマットされている 2G バイトを超える SDHC 品には対応していません。
2G バイト以下の SD カードでも、FAT32 で再フォーマットされたものは動作しません。
再フォーマットを行う場合は FAT16(Microsoft Windows のボリュームのプロパティのファイルシステムでは FAT と表示されます)を選択して下さい。
- ② ビットファイル名は英数字の 8 文字以下にして下さい。
拡張 FAT16 には対応していません。
大文字小文字どちらも使用できますが、識別は行いません。
“_”(アンダーバー)、“-”(ハイフン)も文字として使用できます。
尚、8 文字以上のファイルを一旦 SD カードにコピーして、rename によりファイル名を 8 文字以下に修正させた場合、修正後も依然 8 文字以上のファイルとして取り扱われてしまい、先頭の 7 文字しかファイル名の識別要素として機能致しませんので、パソコンでファイル名を修正後、コピーを行って下さい。
- ③ “CONFIG.TXT”ファイルやバイナリデータの SD カードへのコピーは、Windows システムより行って下さい。
Linux や Unix システム上で SD カードにコピーすると、正しく動作しません。
(Linux や Unix 上で生成されたバイナリデータを Windows システムを介してコピーする分には問題ありません。)
- ④ bit 連結による Multi FPGA Configuration 機能はインプリメントされていますが、バイナリデータを連結するためのアプリケーションソフトを準備中です。
- ⑤ DCLK のクロック速度選択機能で、DCLK を受信して動作するマスタモードは定義されていますが、現在インプリメントされていません。

15. アップデート機能(順次対応予定)

“59kk”のシールの貼られたモジュールは、128ビットの暗号 Key によって Encryption がかけられています。msd-Adapter と JTag ケーブルをご用意いただくことにより、同じ暗号 Key によって暗号化された bit ファイルを悟空株式会社のホームページよりダウンロードしてアップデートしていただくことが可能です。

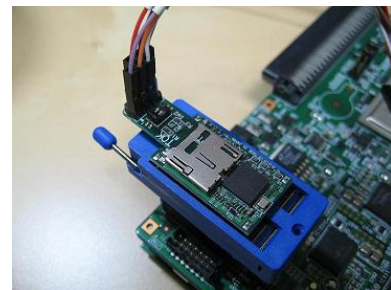
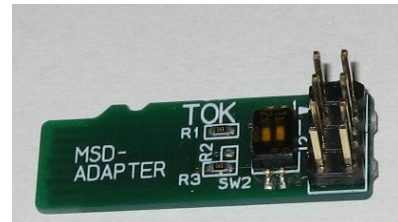
“59kk”のシールの貼られていないモジュールにつきましては、暗号 Key の書き込みが必要です。弊社もしくは担当営業にご相談下さい。

(JTag ケーブルは、悟空株式会社にも販売する予定です。)



今後、下記のようなアップデートを予定しています。

- 機能改版(一部有償)
 - ◇ FAT32 対応
 - ◇ SDHC 対応
 - ◇ コンフィギュレーション終了後の SD カードへのインタフェース機能
 - ◇ SPI(Master/Slave)終端機能
 - ◇ JTag 終端機能
 - JTag からのコンフィギュレーション
 - ROM データの書き換え
 - 別の uSDCONF の書き換え
 - ◇ など
 - ◇ 機能によっては排他的な組み込みになる場合があります。



以上

お問い合わせ等連絡先

悟空株式会社

担当 : 大庭(オオバ)

〒 222-0033

横浜市港北区新横浜 1-19-3 アドホックビル 4F-E

FreeCall : 0800-7775559 (平日 9:00~18:00)

電話 : 045-590-6227 Fax : 050-3156-1404

Email : info01@59kk.jp URL : <https://www.59kk.jp>